

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΑΘΛΗΤΙΣΜΟΥ ΚΑΙ ΝΕΟΛΑΙΑΣ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ ΠΡΟΣΒΑΣΗΣ 2023

ΤΕΧΝΟΛΟΓΙΑ ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΠΡΑΚΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Τεχνολογία και Εργαστήρια Ψηφιακών Ηλεκτρονικών II (510)
Ημερομηνία : Τρίτη, 27 Ιουνίου 2023
Ωρα εξέτασης : 08:00 – 10:30

Επιτρεπόμενη διάρκεια γραπτού 2,5 ώρες (150 λεπτά)

ΤΟ ΕΞΕΤΑΣΤΙΚΟ ΔΟΚΙΜΙΟ ΑΠΟΤΕΛΕΙΤΑΙ ΑΠΟ ΔΕΚΑΟΚΤΩ (18) ΣΕΛΙΔΕΣ ΚΑΙ ΤΡΙΑ (3) ΜΕΡΗ (Α΄, Β΄ ΚΑΙ Γ΄)

ΟΔΗΓΙΕΣ:

1. Να απαντήσετε σε όλες τις ερωτήσεις.
2. Οι ερωτήσεις να απαντηθούν στο εξεταστικό δοκίμιο.
3. Απαγορεύεται η χρήση διορθωτικού υγρού ή διορθωτικής ταινίας.
4. Τα σχεδιαγράμματα μπορούν να σχεδιαστούν με μολύβι.
5. Επιτρέπεται η χρήση μη προγραμματιζόμενης υπολογιστικής μηχανής.
6. Στο τέλος του εξεταστικού δοκιμίου δίνεται τυπολόγιο.

ΜΕΡΟΣ Α΄ - Το μέρος Α αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. (α) Έναν κύκλωμα ελέγχου ζυγού ψηφίου ισοτιμίας δέχεται τους πιο κάτω κώδικες. Να επιλέξετε αν ο κάθε κώδικας είναι σωστός ή λανθασμένος.

(1) 1101010010 ΣΩΣΤΟ / ΛΑΘΟΣ

.....

(2) 1101011001 ΣΩΣΤΟ / ΛΑΘΟΣ

.....

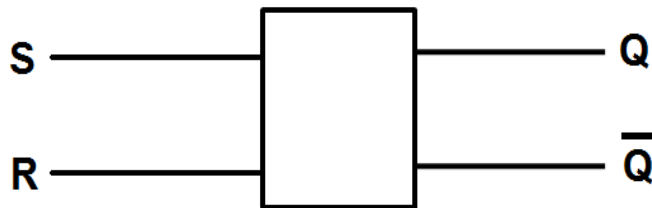
(β) Να εξηγήσετε γιατί χρησιμοποιείται το ψηφίο ισοτιμίας στα ψηφιακά συστήματα.

.....

.....

.....

2. Στο Σχήμα 1 δίνεται το λογικό σύμβολο ενός SR Φλιπ Φλοπ.



Σχήμα 1

Να συμπληρώσετε τον πίνακα αληθείας (Πίνακας 1) του SR Φλιπ Φλοπ.

Είσοδοι		Έξοδοι		
S	R	Q_{n+1}	\overline{Q}_{n+1}	Κατάσταση

Πίνακας 1

3. Δίνονται οι πιο κάτω δηλώσεις που αφορούν στις λογικές οικογένειες. Να επιλέξετε για την κάθε μια αν είναι σωστή ή λανθασμένη.

(α) Η λογική οικογένεια CMOS κατασκευάζεται με διπολικά τρανζίστορ.

ΣΩΣΤΟ / ΛΑΘΟΣ

.....

(β) Η ταχύτητα λειτουργίας της λογικής οικογένειας CMOS είναι σχετικά πιο χαμηλή από την ταχύτητα λειτουργίας της λογικής οικογένειας TTL.

ΣΩΣΤΟ / ΛΑΘΟΣ

.....

(γ) Τα κυκλώματα της λογικής οικογένειας TTL είναι ευαίσθητα στον στατικό ηλεκτρισμό.

ΣΩΣΤΟ / ΛΑΘΟΣ

.....

(δ) Το περιθώριο θορύβου της λογικής οικογένειας TTL είναι μικρότερο από αυτό της λογικής οικογένειας CMOS.

ΣΩΣΤΟ / ΛΑΘΟΣ

.....

4. (α) Να υπολογίσετε το μέγιστο μέτρο (max MOD) ενός απαριθμητή με πέντε Φλιπ Φλοπ.

.....

.....

(β) Να υπολογίσετε τον αριθμό των Φλιπ Φλοπ που έχει ένας απαριθμητής με μέτρο (MOD) 255.

.....

.....

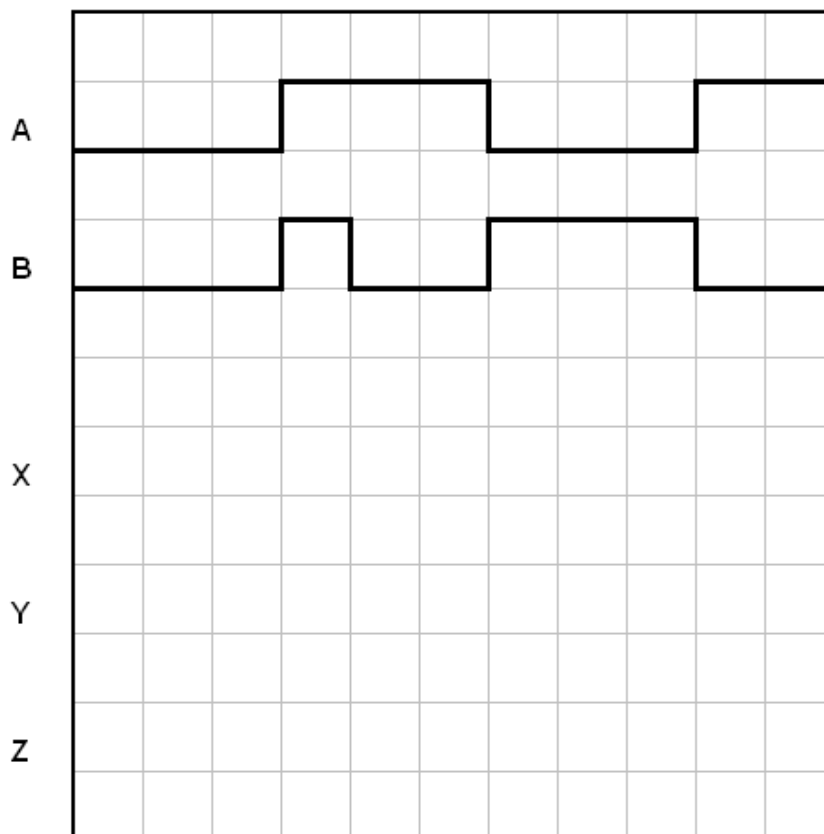
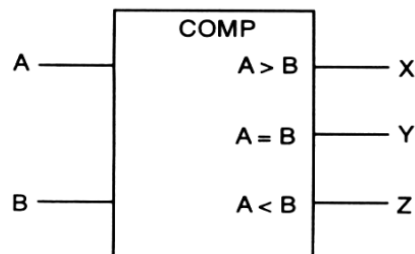
5. (α) Να δώσετε τον αριθμό των εξόδων ενός κωδικοποιητή δεκαδικών αριθμών στον κώδικα BCD.

.....

.....

(β) Να σχεδιάσετε το λογικό σύμβολο του κωδικοποιητή δεκαδικών αριθμών στον κώδικα BCD με τις εισόδους και τις εξόδους ενεργές στο λογικό 1 (Active High).

6. Στο Σχήμα 2 δίνονται το λογικό σύμβολο ψηφιακού συγκριτή του 1-bit και τα χρονικά διαγράμματα που εφαρμόζονται στις εισόδους του. Να σχεδιάσετε στο ίδιο σχήμα τα χρονικά διαγράμματα των τριών εξόδων του **X**, **Y**, **Z**.



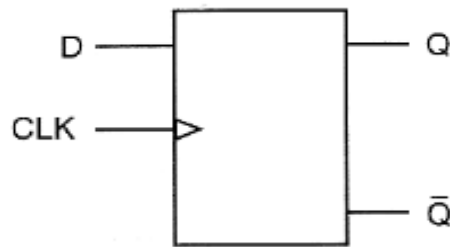
Σχήμα 2

7. Να υπολογίσετε τον αριθμό των Φλιπ Φλοπ που χρειάζονται σε έναν κύκλωμα διαιρέτη συχνότητας, το οποίο μειώνει τη συχνότητα από 1 MHz στην είσοδό του σε 125 kHz στην έξοδό του.

.....

.....

8. Να μετατρέψετε το D Φλιπ Φλοπ του Σχήματος 3 σε T Φλιπ Φλοπ.



Σχήμα 3

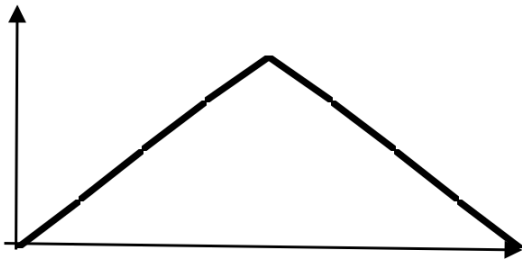
9. Στο Σχήμα 4 δίνεται το λογικό σύμβολο του αποκωδικοποιητή 2-bit σε 4 γραμμές. Να συμπληρώσετε τον πίνακα αληθείας του αποκωδικοποιητή.



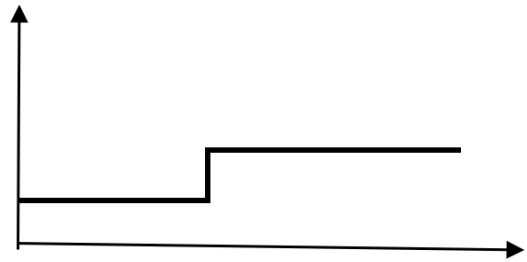
Είσοδοι		Έξοδοι			
A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀

Σχήμα 4

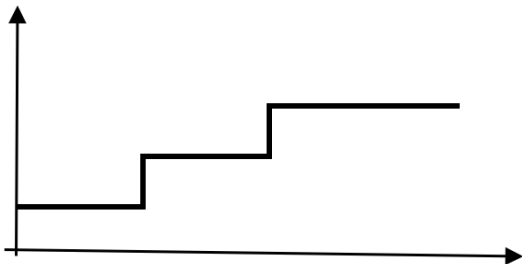
10. Δίνονται τέσσερα σήματα στο Σχήμα 5. Να γράψετε κάτω από το κάθε σήμα αν είναι ΨΗΦΙΑΚΟ ή αν είναι ΑΝΑΛΟΓΙΚΟ.



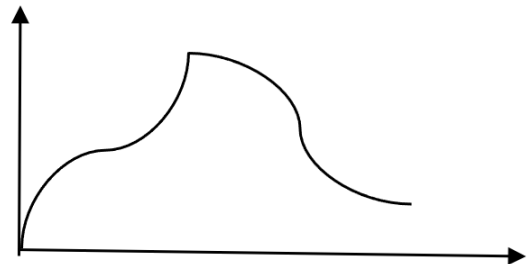
(α)



(β)



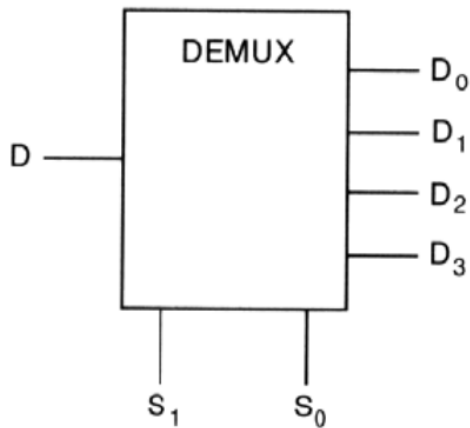
(γ)



(δ)

Σχήμα 5

11. Στο Σχήμα 6 δίνεται το λογικό σύμβολο αποπολυπλέκτη μιας γραμμής σε τέσσερις.



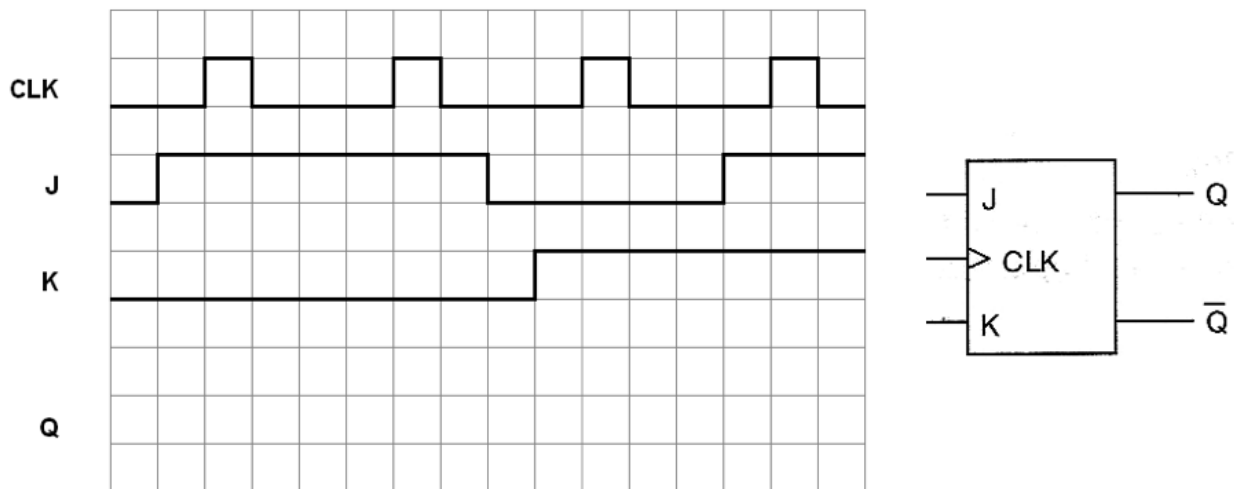
Σχήμα 6

Να συμπληρώσετε τον πίνακα αληθείας (Πίνακας 2) του πιο πάνω αποπολυπλέκτη.

Είσοδοι Επιλογής		Έξοδοι			
S ₁	S ₀	D ₀	D ₁	D ₂	D ₃

Πίνακας 2

12. (α) Στο Σχήμα 7 δίνονται το λογικό σύμβολο και τα χρονικά διαγράμματα εισόδου σύγχρονου JK Φλιπ Φλοπ. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ για 4 χρονικούς παλμούς του ωρολογίου (CLK). Η αρχική κατάσταση της εξόδου Q του Φλιπ Φλοπ είναι το λογικό 0 (RESET).



Σχήμα 7

- (β) Να αναφέρετε το πλεονέκτημα του JK Φλιπ Φλοπ έναντι του SR Φλιπ Φλοπ.

.....

.....

.....

ΜΕΡΟΣ Β' - Το μέρος Β αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. (α) Να αναφέρετε τη διαφορά μεταξύ του επαναδιεγειρόμενου από τον μη επαναδιεγειρόμενο μονοσταθή πολυδονητή.

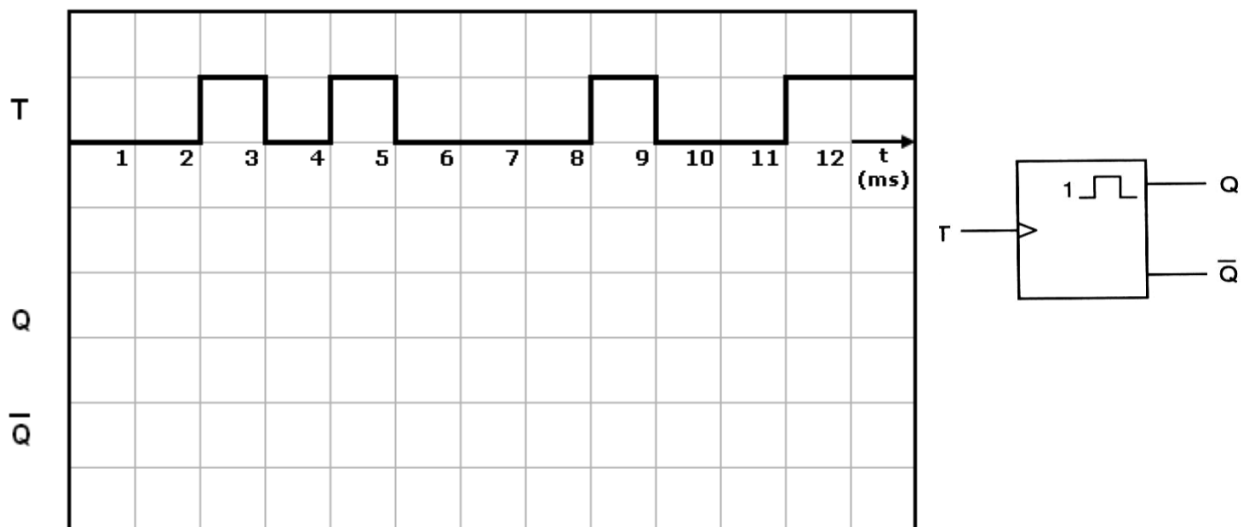
.....

.....

.....

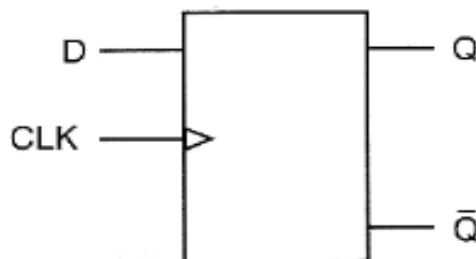
.....

(β) Στο Σχήμα 8 δίνονται το σύμβολο και το χρονικό διάγραμμα των παλμών διέγερσης μη επαναδιεγειρόμενου μονοσταθή πολυδονητή που έχει χρόνο βολής 4 ms. Η σταθερή κατάσταση του πολυδονητή είναι το λογικό 0. Στο ίδιο σχήμα να σχεδιάσετε τα χρονικά διαγράμματα των δύο εξόδων του, Q και \bar{Q} .



Σχήμα 8

14. (α) Με τη χρήση του D Φλιπ Φλοπ του Σχήματος 9, να σχεδιάσετε έναν καταχωρητή 4-bit με διαδοχική είσοδο και παράλληλη έξοδο.



Σχήμα 9

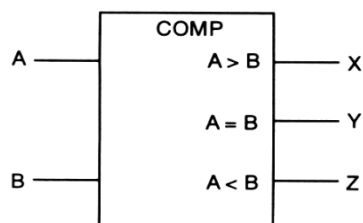
(β) Να υπολογίσετε πόσοι ωρολογιακοί παλμοί απαιτούνται, για να εισέλθει και να εξέλθει μια πληροφορία 1 byte σε έναν καταχωρητή 8-bit με διαδοχική είσοδο και παράλληλη έξοδο.

.....
.....

(γ) Αν η συχνότητα του ωρολογίου (CLK) είναι 200 kHz, να υπολογίσετε το συνολικό χρόνο που θα χρειαστεί για να αποθηκευτεί η πληροφορία στον καταχωρητή της ερώτησης 14(β) πιο πάνω.

.....
.....
.....

15. Στο Σχήμα 10 δίνεται το λογικό σύμβολο του ψηφιακού συγκριτή που συγκρίνει δύο αριθμούς του 1-bit.



Σχήμα 10

(α) Να γράψετε τις λογικές συναρτήσεις των εξόδων του ψηφιακού συγκριτή του Σχήματος 10.

X =

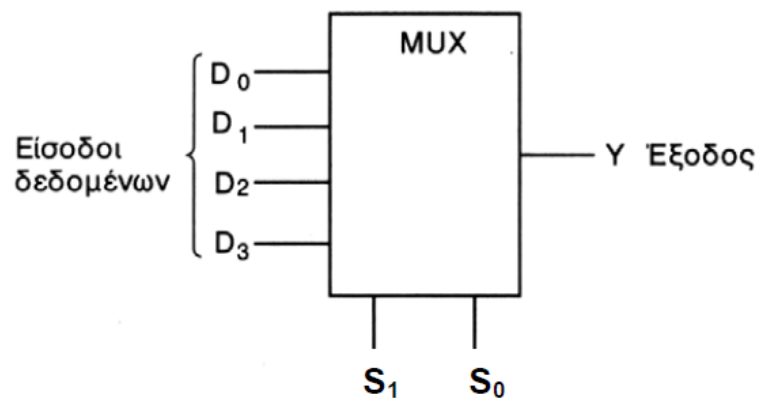
Y =

Z =

(β) Να σχεδιάσετε το λογικό κύκλωμα του ψηφιακού συγκριτή 1-bit.

(γ) Να σχεδιάσετε το λογικό σύμβολο του ψηφιακού συγκριτή 2-bit.

16. Στο Σχήμα 11 δίνεται το λογικό σύμβολο πολυπλέκτη τεσσάρων γραμμών σε μία.



Σχήμα 11

(α) Να συμπληρώσετε τον πίνακα αληθείας (Πίνακας 3) του πιο πάνω πολυπλέκτη.

Γραμμές Επιλογής Εισόδου		Έξοδος
S_1	S_0	Y

Πίνακας 3

(β) Να γράψετε τη λογική συνάρτηση της εξόδου του πολυπλέκτη του Σχήματος 11.

$Y =$

(γ) Να σχεδιάσετε το λογικό κύκλωμα του πολυπλέκτη του Σχήματος 11.

ΜΕΡΟΣ Γ' - Το μέρος Γ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.

17. (α) Να αναφέρετε δύο διαφορές της οθόνης LCD σε σύγκριση με την LED.

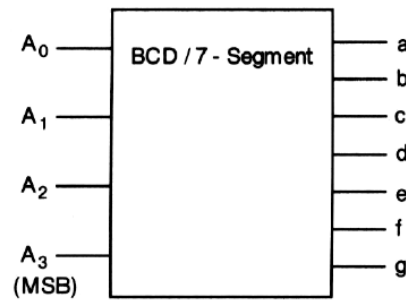
(1)

.....

(2)

.....

(β) Στο Σχήμα 12 δίνεται το σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει τον ενδείκτη 7-τμημάτων (7-segment).



Σχήμα 12

Αν η λογική κατάσταση των εισόδων είναι $A_3A_2A_1A_0 = 0111$, να δώσετε τη λογική κατάσταση των εξόδων του αποκωδικοποιητή.

a = b = c = d = e = f = g =

(γ) Αν τα τμήματα b και e του ενδείκτη 7-τμημάτων δεν ανάβουν, να δώσετε τον κώδικα BCD που εφαρμόζεται στην είσοδο του αποκωδικοποιητή στο Σχήμα 12.

$A_3A_2A_1A_0 = \dots\dots\dots$

(δ) Να αναφέρετε αν ο τύπος του ενδείκτη 7-τμημάτων που θα συνδεθεί με τον αποκωδικοποιητή του Σχήματος 12, πρέπει να είναι κοινής ανόδου ή κοινής καθόδου. Να δικαιολογήσετε την απάντησή σας.

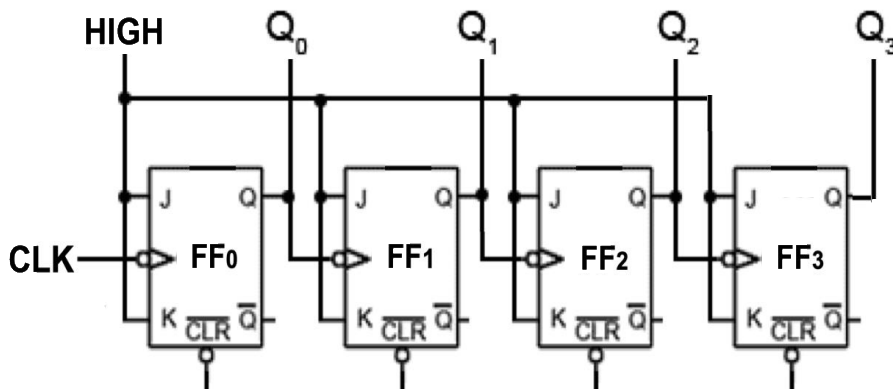
.....

.....

.....

.....

18. Στο Σχήμα 13 δίνεται το κύκλωμα ασύγχρονου δυαδικού απαριθμητή.



Σχήμα 13

(α) Να υπολογίσετε το μέγιστο μέτρο (max MOD) του απαριθμητή.

.....

(β) Να υπολογίσετε τη μέγιστη συχνότητα λειτουργίας / αρίθμησης του απαριθμητή, αν ο χρόνος καθυστέρησης για κάθε Φλιπ Φλοπ είναι 50 ns.

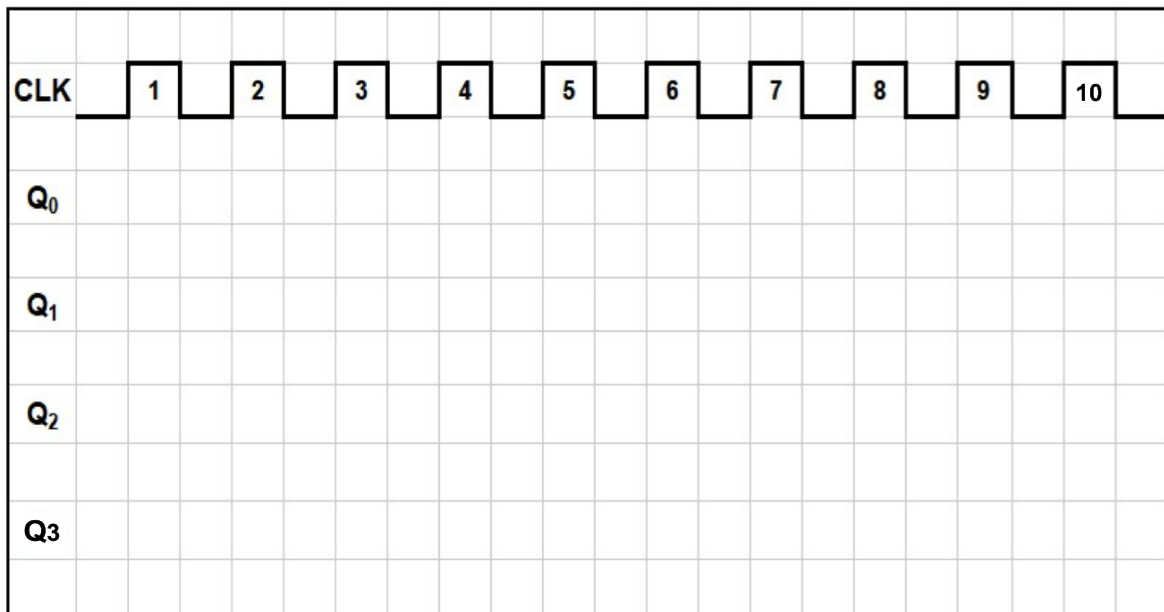
.....

.....

.....

(γ) Στο Σχήμα 13 να κάμετε τις κατάλληλες αλλαγές / μετατροπές / προσθήκες, ώστε να μετατραπεί το κύκλωμα του ασύγχρονου δυαδικού απαριθμητή σε κύκλωμα ασύγχρονου δεκαδικού απαριθμητή.

(δ) Στο Σχήμα 14 δίνεται το χρονικό διάγραμμα των ωρολογιακών παλμών (CLK) που εφαρμόζονται στο κύκλωμα ασύγχρονου δεκαδικού απαριθμητή. Να σχεδιάσετε στο ίδιο σχήμα τα αντίστοιχα χρονικά διαγράμματα των εξόδων (Q_0 , Q_1 , Q_2 , Q_3) των Φλιπ Φλοπ του απαριθμητή. Η αρχική κατάσταση του απαριθμητή είναι RESET.



Σχήμα 14

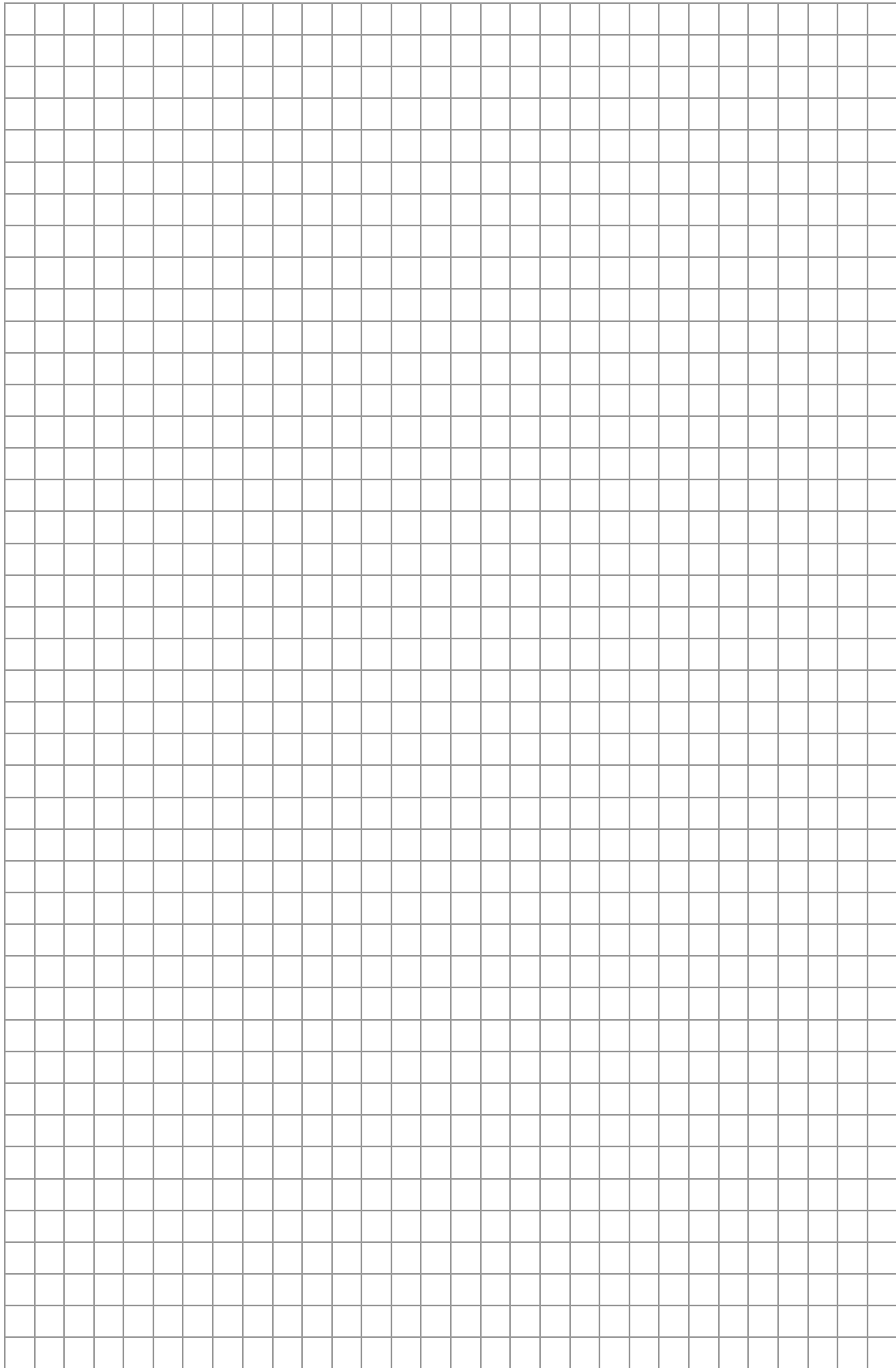
(ε) Να γράψετε από ποιον αριθμό μέχρι ποιον αριθμό (το εύρος μέτρησης) μετρά ο δεκαδικός απαριθμητή που μετατρέψατε στο ερώτημα 18(γ).

.....

----- ΤΕΛΟΣ ΕΞΕΤΑΣΗΣ -----

ΠΡΟΧΕΙΡΟ

ΠΡΟΧΕΙΡΟ



ΤΥΠΟΛΟΓΙΟ ΓΙΑ ΤΟ ΜΑΘΗΜΑ «ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ»	
ΑΛΓΕΒΡΑ ΤΟΥ ΜΠΟΥΛ (BOOLE)	
Αξίωμα της αντιμετάθεσης	$A + B = B + A$ $A \cdot B = B \cdot A$
Αξίωμα του προσεταιρισμού	$A \cdot B \cdot C = (A \cdot B) \cdot C = A \cdot (B \cdot C)$ $A + B + C = (A + B) + C = A + (B + C)$
Αξίωμα του επιμερισμού	$A \cdot (B + C) = A \cdot B + A \cdot C$
Κανόνες της άλγεβρας Boole	$A + 0 = A$ $A + 1 = 1$ $A \cdot 0 = 0$ $A \cdot 1 = A$ $A + A = A$ $A + \bar{A} = 1$ $A \cdot A = A$ $A \cdot \bar{A} = 0$ $\bar{\bar{A}} = A$ $A + A \cdot B = A$ $A + \bar{A} \cdot B = A + B$ $(A + B) \cdot (A + C) = A + B \cdot C$
Θεώρημα Ντε Μόργαν (De Morgan)	$\overline{A + B} = \bar{A} \cdot \bar{B}$ $\overline{A \cdot B} = \bar{A} + \bar{B}$
ΠΟΛΥΔΟΝΗΤΕΣ	
Κύκλος Δράσης	$d = \frac{t_H}{T} \times 100\%$
Περίοδος παλμών	$T = t_H + t_L = 1 / f$
ΑΠΑΡΙΘΜΗΤΕΣ	
Μέγιστο μέτρο απαριθμητή	$max\ MOD = 2^v$
Μέγιστη συχνότητα αρίθμησης ασύγχρονου απαριθμητή	$f_{max} = \frac{1}{vt_P}$
Συχνότητα παλμών στην έξοδο που δίνει το περισσότερο σημαντικό ψηφίο απαριθμητή με μέτρο N	$f = \frac{f_{CLK}}{N}$
ΚΑΤΑΧΩΡΗΤΕΣ	
Συχνότητα κυκλικού απαριθμητή	$f_Q = \frac{1}{N} f_{CLK}$
Συχνότητα απαριθμητή Τζόνσον (Johnson)	$f_Q = \frac{1}{2N} f_{CLK}$

ΛΟΓΙΚΕΣ ΠΥΛΕΣ	
Πύλη AND	$Y = A \cdot B$
Πύλη OR	$Y = A + B$
Πύλη NOT	$Y = \bar{A}$
Πύλη NAND	$Y = \overline{A \cdot B}$
Πύλη NOR	$Y = \overline{A + B}$
Πύλη EXCLUSIVE OR	$Y = A \oplus B$
Πύλη EXCLUSIVE NOR	$Y = \overline{A \oplus B}$
ΜΕΤΑΤΡΟΠΕΙΣ D/A	
Ανάλυση	$\frac{FS}{2^N - 1}$
Ανάλυση %	$\frac{1}{2^N - 1} 100\%$
Μετατροπέας D/A με σταθμισμένες αντιστάσεις και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{8R} (8D_3 + 4D_2 + 2D_1 + D_0)$
Μετατροπείς D/A με κλιμακωτό δίκτυο αντιστάσεων και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{2R} (D_3 + \frac{1}{2}D_2 + \frac{1}{4}D_1 + \frac{1}{8}D_0)$
	$U_{out} = \frac{U_{in}}{2} (D_3 + \frac{1}{2}D_2 + \frac{1}{4}D_1 + \frac{1}{8}D_0)$