

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΚΑΙ ΑΝΩΤΑΤΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2016

ΤΕΧΝΟΛΟΓΙΑ (ΙΙ) ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Λύσεις

Μάθημα : Ψηφιακά Ηλεκτρονικά (155)
Ημερομηνία : Πέμπτη, 2 Ιουνίου 2016
Ώρα εξέτασης : 08:00 – 10:30

Επιτρεπόμενη διάρκεια γραπτού 2, 5 ώρες (150 λεπτά)

ΤΟ ΕΞΕΤΑΣΤΙΚΟ ΔΟΚΙΜΙΟ ΑΠΟΤΕΛΕΙΤΑΙ ΑΠΟ ΕΙΚΟΣΙ (20) ΣΕΛΙΔΕΣ ΚΑΙ ΤΡΙΑ (3) ΜΕΡΗ (Α΄, Β΄ ΚΑΙ Γ΄)

ΟΔΗΓΙΕΣ:

1. Να απαντήσετε σε όλες τις ερωτήσεις.
2. Οι ερωτήσεις να απαντηθούν στο εξεταστικό δοκίμιο.
3. Απαγορεύεται η χρήση διορθωτικού υγρού ή διορθωτικής ταινίας.
4. Τα σχεδιαγράμματα μπορούν να σχεδιαστούν με μολύβι.
5. Επιτρέπεται η χρήση μη προγραμματιζόμενης υπολογιστικής μηχανής.
6. Στο τέλος του εξεταστικού δοκιμίου δίνεται τυπολόγιο.

ΜΕΡΟΣ Α΄ - Το μέρος Α΄ αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. (α) Να αναφέρετε τι είναι το "ψηφίο ισοτιμίας" και το σκοπό που εξυπηρετεί.

Το ψηφίο ισοτιμίας είναι ένα επιπρόσθετο bit στον κώδικα δεδομένων, έτσι που ο συνολικός αριθμός των 1 να είναι πάντοτε μονός ή ζυγός και χρησιμοποιείται στα ψηφιακά συστήματα για την αναγνώριση λαθών στην μεταφορά ή επεξεργασία δεδομένων.

- (β) Να υπολογίσετε το ζυγό ψηφίο ισοτιμίας για τους πιο κάτω κώδικες:

(1) 1001 0

(2) 1011 1

2. (α) Να αναφέρετε τι είναι το "περιθώριο θορύβου" μιας λογικής οικογένειας.

Το περιθώριο θορύβου μιας λογικής οικογένειας είναι η μέγιστη τάση ηλεκτρονικού θορύβου, που μπορεί να προστεθεί στο σήμα εισόδου μιας πύλης της λογικής οικογένειας χωρίς να αλλάξει τη λογική του κατάσταση.

- (β) Να ονομάσετε δύο λογικές οικογένειες που χρησιμοποιούνται σήμερα στην ψηφιακή ηλεκτρονική.

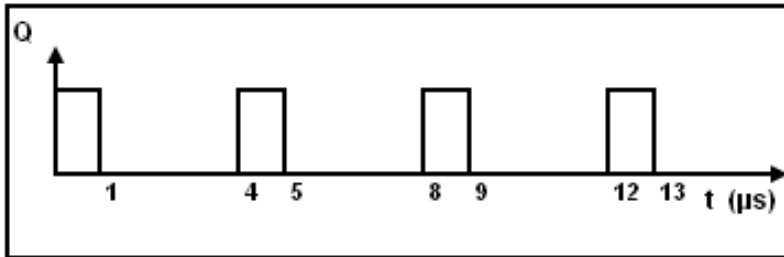
Δύο από τις πιο κάτω λογικές οικογένειες

TTL

ECL

MOS

3. Στο σχήμα 1 δίνεται η κυματομορφή εξόδου ενός ασταθή πολυδονητή. Να υπολογίσετε:
- (α) Την περίοδο, T
 - (β) Τη συχνότητα, f
 - (γ) Τον κύκλο δράσης, d .



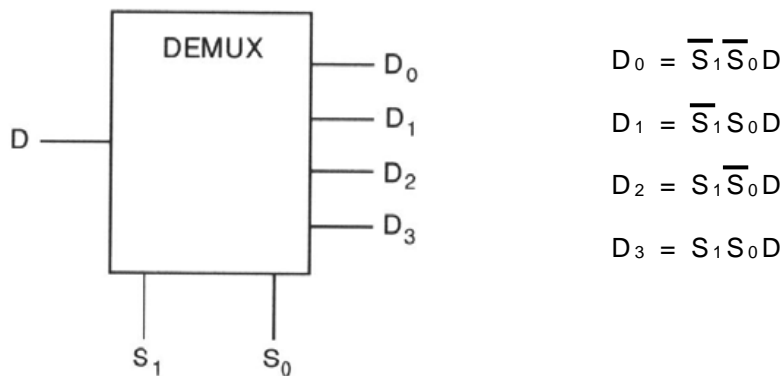
Σχήμα 1

Περίοδος $T = 4 \mu s$

Συχνότητα $f = \frac{1}{T} = \frac{1}{4 \mu s} = 250 kHz$

Κύκλος Δράσης $d = \frac{1}{4} \times 100 = 25\%$

4. Στο σχήμα 2 δίνεται το σύμβολο του αποπολυπλέκτη μιας γραμμής σε τέσσερις. Να γράψετε τις λογικές συναρτήσεις των τεσσάρων (4) εξόδων του αποπολυπλέκτη.



Σχήμα 2

5. (α) Να αναφέρετε τι είναι το μέγιστο μέτρο (max MOD) ενός απαριθμητή.

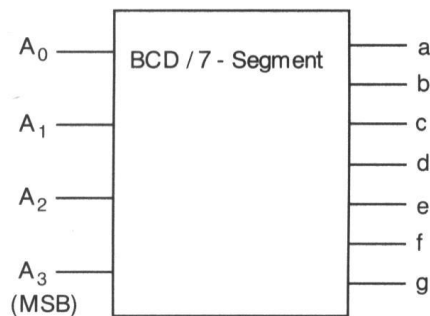
Το μέγιστο μέτρο ενός απαριθμητή είναι ο μέγιστος αριθμός των διαφορετικών λογικών καταστάσεων, τις οποίες λαμβάνει ο απαριθμητής.

(β) Να υπολογίσετε τον αριθμό των Φλιπ Φλοπ απαριθμητή με μέτρο 60 (MOD-60).

$$2^5 < 64 < 2^6$$

Αριθμός Φλιπ Φλοπ = 6

6. Στο σχήμα 3 δίνεται το λογικό σύμβολο του αποκωδικοποιητή που μετατρέπει τον κώδικα BCD στον κώδικα που ελέγχει ενδείκτη 7-τμημάτων.



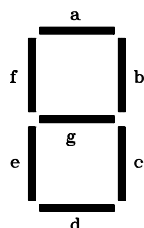
Σχήμα 3

(α) Εάν η λογική κατάσταση των εισόδων του αποκωδικοποιητή είναι $A_3 A_2 A_1 A_0 = 1 0 0 1$, να αναφέρετε τον αριθμό που θα παριστάνει ο ενδείκτης 7-τμημάτων που είναι συνδεδεμένος στην έξοδο του.

Αριθμός = 9

(β) Να γράψετε τη λογική κατάσταση των εξόδων του αποκωδικοποιητή για τον κώδικα που δίνεται στο μέρος (α).

Ενδείκτης 7-τμημάτων

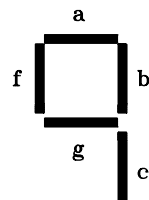


$$a = 1$$

$$b = 1$$

$$c = 1$$

Αριθμός 9



$$d = 0$$

$$e = 0$$

$$f = 1$$

$$g = 1$$

7. (α) Η συχνότητα (f_{CLK}) του ωρολογίου κυκλώματος απαριθμητή Τζόνσον (Johnson) 4-bit είναι 1 MHz. Να υπολογίσετε τη συχνότητα των παλμών στην έξοδο του κάθε Φλιπ Φλοπ του απαριθμητή.

$$f_Q = \underline{125 \text{ kHz}}$$

.....

- (β) Να επιλέξετε τη σωστή απάντηση.

Το JK Φλιπ Φλοπ πλεονεκτεί έναντι του SR Φλιπ Φλοπ επειδή:

- (1) Είναι πιο γρήγορο.
- (2) Διαθέτει είσοδο ωρολογίου (CLK).
- (3) Δεν έχει απαγορευμένη κατάσταση εισόδων.**
- (4) Διαθέτει δύο εξόδους.

.....

8. (α) Να επιλέξετε τη σωστή απάντηση.

Το NOR Φλιπ Φλοπ βρίσκεται στην απαγορευμένη κατάσταση, όταν οι είσοδοι του βρίσκονται στα λογικά επίπεδα:

- (1) $S = 0, R = 0$
- (2) $S = 0, R = 1$
- (3) $S = 1, R = 0$
- (4) $S = 1, R = 1$**

.....

- (β) JK Φλιπ Φλοπ βρίσκεται σε κατάσταση εναλλαγής (Toggle). Να δώσετε τη λογική κατάσταση των εισόδων J και K του Φλιπ Φλοπ.

$$J = 1$$

$$K = 1$$

.....

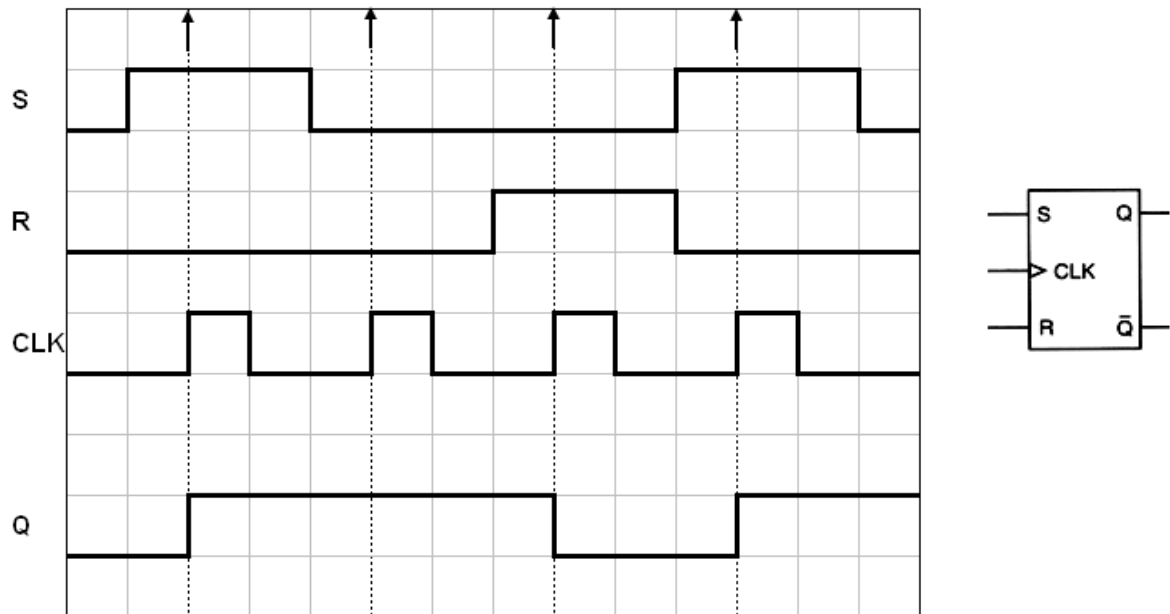
9. (α) Να δώσετε τον ορισμό του “ψηφιακού κωδικοποιητή”.

Ο ψηφιακός κωδικοποιητής είναι ένα συνδυαστικό λογικό κύκλωμα με πολλές εισόδους και εξόδους. Σε μια χρονικά δεδομένη στιγμή ενεργοποιείται μια μόνο είσοδος που δίνει στην έξοδο του κωδικοποιητή τον κώδικα της πληροφορίας που εφαρμόστηκε στην είσοδο.

(β) Να υπολογίσετε πόσα bits χρειάζονται για να κωδικοποιήσουμε τους 128 χαρακτήρες του κώδικα ASCII:

Για 128 χαρακτήρες απαιτούνται 7 bits ($2^7 = 128$).

10. Στο σχήμα 4 δίνεται κύκλωμα χρονιζόμενου SR Φλιπ Φλοπ και τα χρονικά διαγράμματα των παλμών που εφαρμόζονται στις εισόδους του. Να σχεδιάσετε στο τετραγωνισμένο χαρτί το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ για 4 χρονικούς παλμούς CLK. Αρχικά το Φλιπ Φλοπ είναι στην κατάσταση RESET.



Σχήμα 4

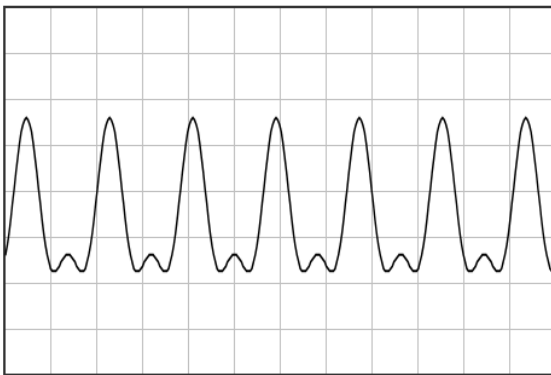
11. (α) Να δώσετε τον ορισμό του “ολισθητή”.

Ολισθητής είναι ένας καταχωρητής που έχει τη δυνατότητα ολίσθησης των πληροφοριών που είναι καταχωρημένες σε αυτό.

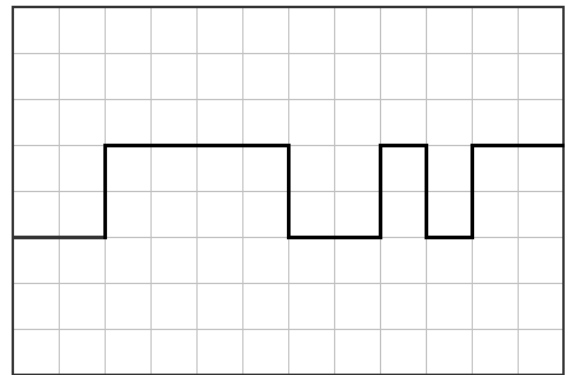
(β) Να αναφέρετε τον τύπο του καταχωρητή που θα χρησιμοποιούσατε για τη μετατροπή ενός σειριακού σήματος σε παράλληλο.

Καταχωρητή με διαδοχική είσοδο και παράλληλο έξοδο. (Καταχωρητής SIPO).

12. (α) Στο τετραγωνισμένο χαρτί του σχήματος 5 να σχεδιάσετε έναν αναλογικό και έναν ψηφιακό σήμα.



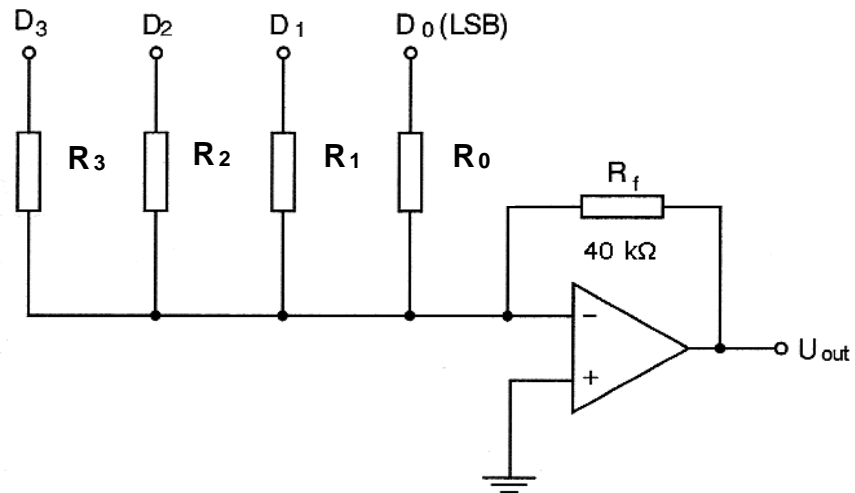
Αναλογικό Σήμα



Ψηφιακό Σήμα

Σχήμα 5

- (β) Στο σχήμα 6 δίνεται το κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό (DAC) με αντιστάσεις σταθμισμένες στο δυαδικό σύστημα. Αν η αντίσταση $R_3 = 400 \text{ k}\Omega$, να υπολογίσετε την τιμή των αντιστάσεων R_0 , R_1 και R_2 .



Σχήμα 6

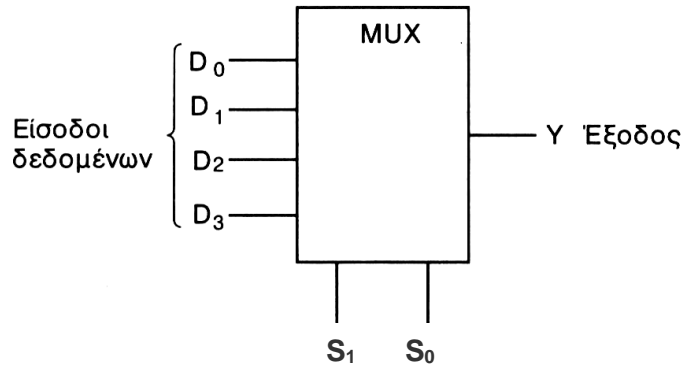
$$R_0 = 3,2 \text{ M}\Omega$$

$$R_1 = 1,6 \text{ M}\Omega$$

$$R_2 = 800 \text{ k}\Omega$$

ΜΕΡΟΣ Β΄ - Το μέρος Β΄ αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. Στο σχήμα 7 δίνεται το λογικό σύμβολο πολυπλέκτη με 4 γραμμές εισόδου δεδομένων και δύο γραμμές επιλογής εισόδου S_0 και S_1 .



Σχήμα 7

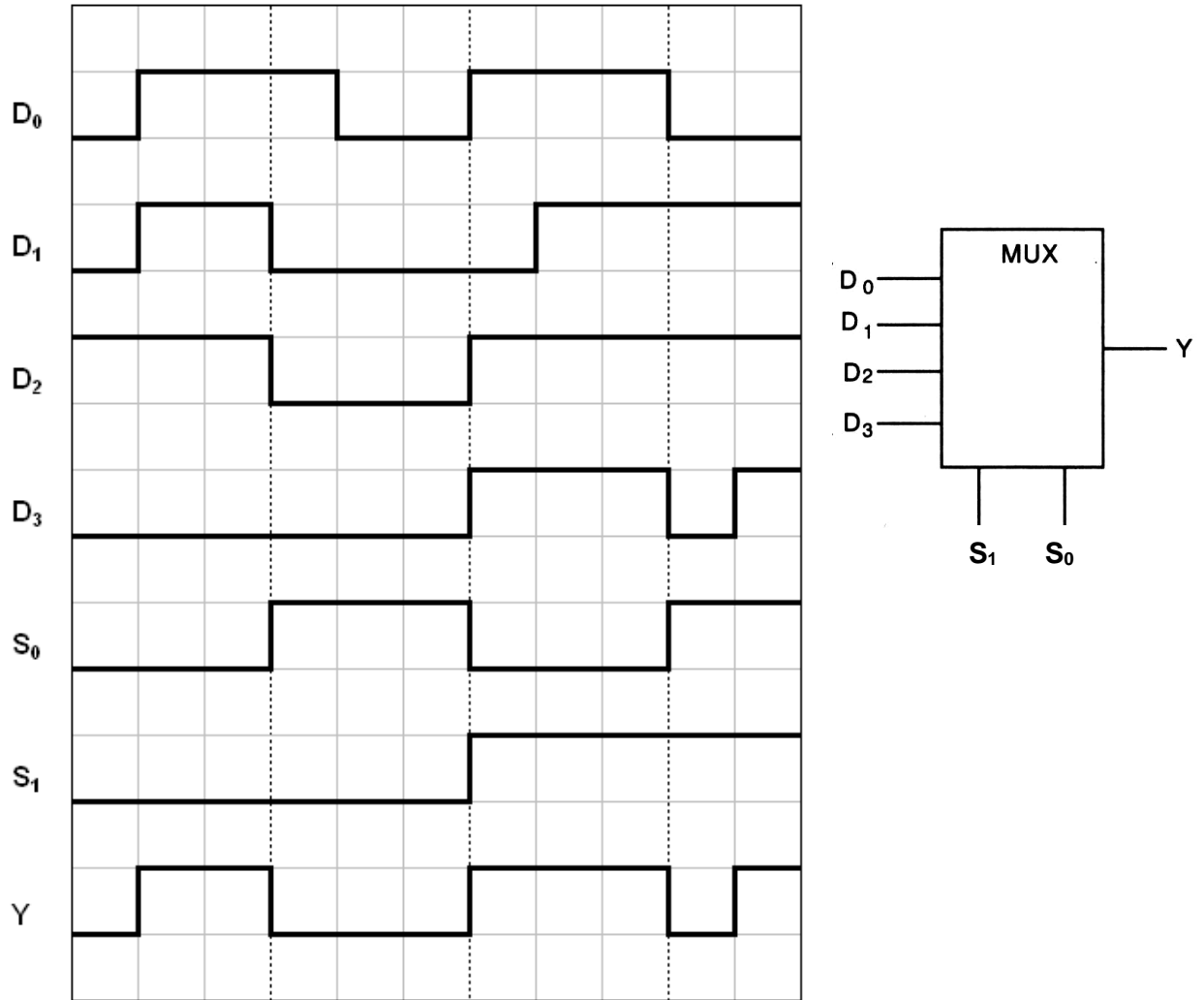
- (α) Να συμπληρώσετε τον Πίνακα Αληθείας του πιο πάνω πολυπλέκτη.

Είσοδοι		Έξοδος
S_1	S_0	Υ
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

- (β) Να γράψετε τη λογική συνάρτηση της εξόδου Υ.

$$Y = \bar{S}_1 \bar{S}_0 D_0 + \bar{S}_1 S_0 D_1 + S_1 \bar{S}_0 D_2 + S_1 S_0 D_3$$

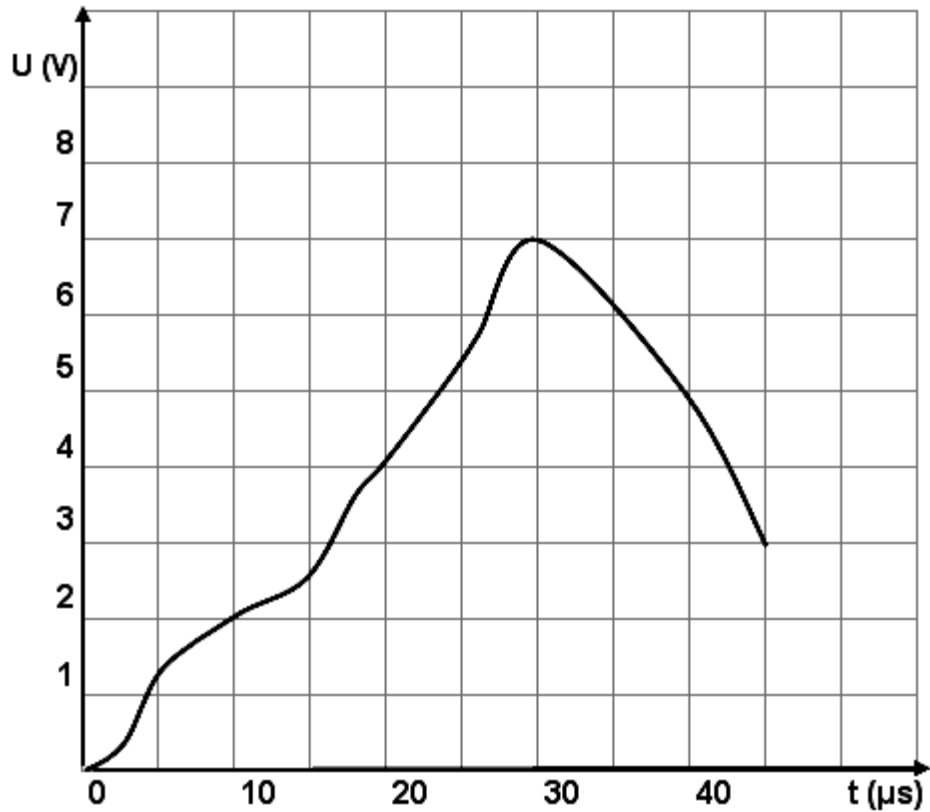
(γ) Στο σχήμα 8 δίνονται τα χρονικά διαγράμματα των εισόδων πολυπλέκτη με 4 γραμμές εισόδου δεδομένων και δύο γραμμές επιλογής εισόδου S_0 και S_1 . Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Y του πολυπλέκτη.



$S_1 S_0 = 00$	$S_1 S_0 = 01$	$S_1 S_0 = 10$	$S_1 S_0 = 11$
$Y = D_0$	$Y = D_1$	$Y = D_2$	$Y = D_3$

Σχήμα 8

14. Στο σχήμα 9 δίνεται αναλογικό σήμα.



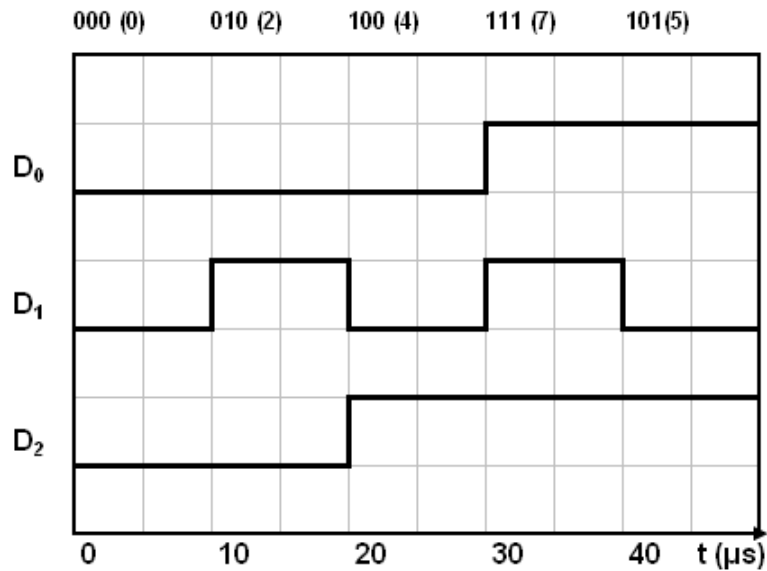
Σχήμα 9

- (α) Να μετατρέψετε το αναλογικό σήμα του σχήματος 9 σε ψηφιακό σήμα 3-bit και να συμπληρώσετε τον πίνακα 1. Ο ρυθμός δειγματοληψίας είναι $10 \mu\text{s}$ και το ψηφίο με την ελάχιστη σημαντική αξία (LSB) αντιστοιχεί με 1 V .

Χρόνος (μs)	Αναλογικό Σήμα (V)	Ψηφιακό Σήμα		
		D ₂	D ₁	D ₀
0	0	0	0	0
10	2	0	1	0
20	4	1	0	0
30	7	1	1	1
40	5	1	0	1

Πίνακας 1

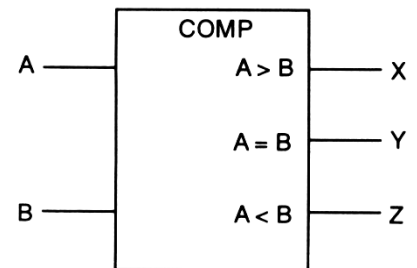
(β) Στο τετραγωνισμένο χαρτί του σχήματος 10 να σχεδιάσετε το ψηφιακό σήμα του πίνακα 1.



Σχήμα 10

15. Στο σχήμα 11 δίνεται ο Πίνακας Αληθείας και το λογικό σύμβολο ψηφιακού συγκριτή.

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		
A	B	X	Y	Z
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0



Σχήμα 11

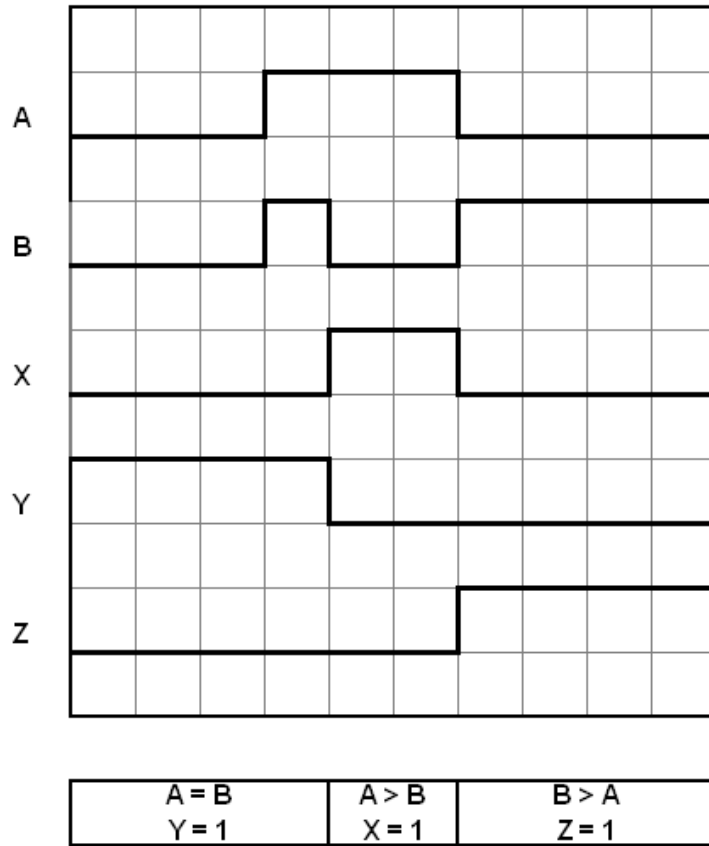
(α) Να δώσετε τις λογικές συναρτήσεις των (3) εξόδων του συγκριτή X, Y και Z.

$$X = A \cdot \bar{B}$$

$$Y = \bar{A} \cdot \bar{B} + A \cdot B \quad \text{ή} \quad Y = \overline{A \oplus B}$$

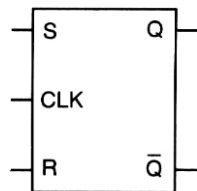
$$Z = \bar{A} \cdot B$$

(β) Στο σχήμα 12 δίνονται τα χρονικά διαγράμματα των εισόδων ψηφιακού συγκριτή 1-bit. Να σχεδιάσετε τα χρονικά διαγράμματα των τριών εξόδων του X, Y και Z.

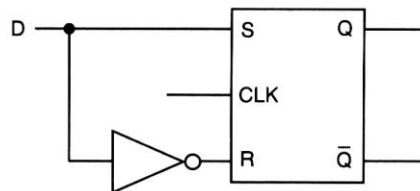


Σχήμα 12

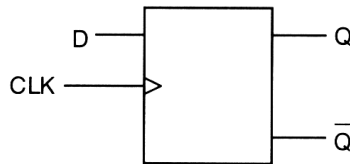
16. (α) Με τη χρήση μιας πύλης NOT να μετατρέψετε το SR Φλιπ Φλοπ του σχήματος 13 σε ένα D Φλιπ Φλοπ.



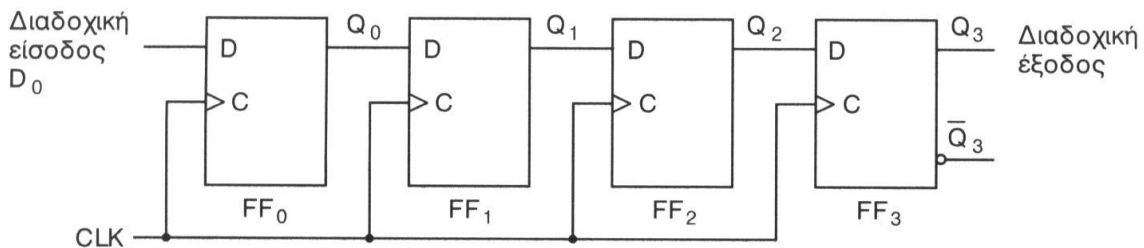
Σχήμα 13



- (β) Με τη χρήση του D Φλιπ Φλοπ που δίνεται στο σχήμα 14, να σχεδιάσετε κύκλωμα καταχωρητή 4 ψηφίων (4-bit) με διαδοχική είσοδο και διαδοχική έξοδο (SISO).



Σχήμα 14



- (γ) Αν η συχνότητα του ωρολογίου (CLK) είναι 500 kHz, να υπολογίσετε το συνολικό χρόνο που χρειάζεται για να αποθηκευτεί μια πληροφορία 4-bit στον καταχωρητή.

Για να αποθηκευτεί μια πληροφορία 4-bit στον καταχωρητή απαιτούνται 4 χρονικοί παλμοί.

$$\text{Περίοδος CLK } T = \frac{1}{f} = \frac{1}{500 \text{ kHz}} = 2 \mu\text{s}$$

$$\underline{\text{Συνολικός Χρόνος} = 8 \mu\text{s}}$$

ΜΕΡΟΣ Γ΄ - Το μέρος Γ΄ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.

17. Στο σχήμα 15 δίνεται το σύμβολο του αποκωδικοποιητή 2 bit σε 4 γραμμές με τις εξόδους ενεργές στο λογικό 1 (Active High).



Σχήμα 15

(α) Να συμπληρώσετε τον Πίνακα Αληθείας του αποκωδικοποιητή.

Α/Α	ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ			
	A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	1
1	0	1	0	0	1	0
2	1	0	0	1	0	0
3	1	1	1	0	0	0

(β) Να γράψετε τις λογικές συναρτήσεις των τεσσάρων (4) εξόδων του αποκωδικοποιητή.

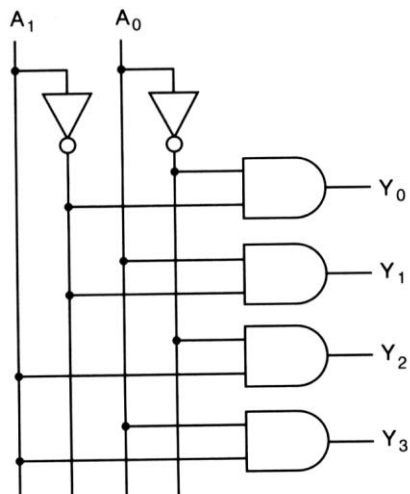
$$Y_0 = \overline{A_1} \cdot \overline{A_0}$$

$$Y_1 = \overline{A_1} \cdot A_0$$

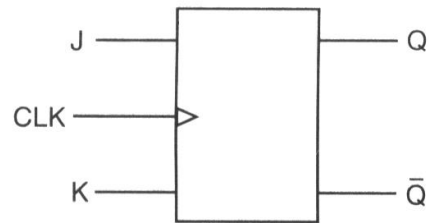
$$Y_2 = A_1 \cdot \overline{A_0}$$

$$Y_3 = A_1 \cdot A_0$$

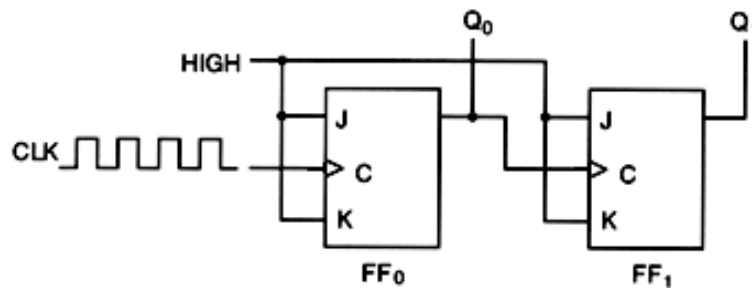
(γ) Να σχεδιάσετε το λογικό κύκλωμα του αποκωδικοποιητή.



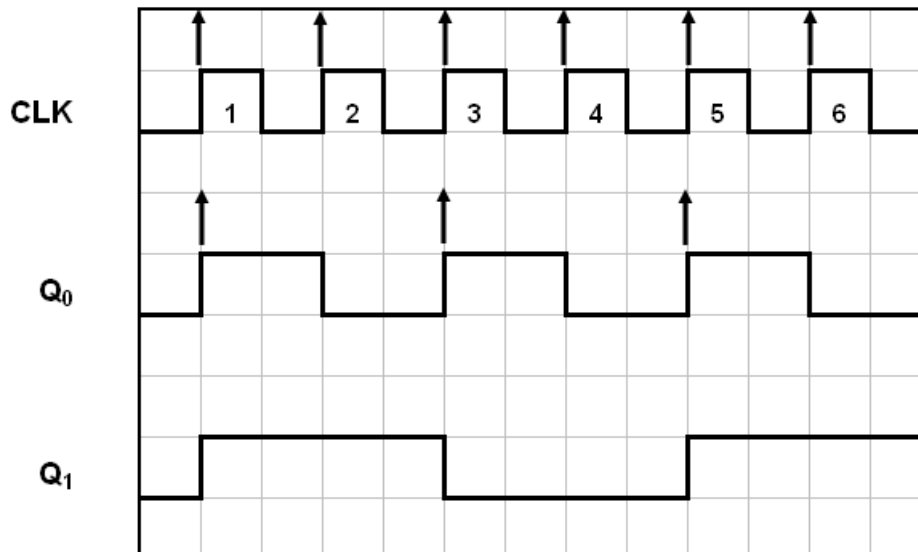
18. (α) Με τη χρήση του JK Φλιπ Φλοπ του σχήματος 16 να σχεδιάσετε το λογικό κύκλωμα ασύγχρονου δυαδικού απαριθμητή 2-bit που μετρά προς τα κάτω.



Σχήμα 16



- (β) Στο τετραγωνισμένο χαρτί του σχήματος 17, να σχεδιάσετε για 6 ωρολογιακούς παλμούς (CLK), τα χρονικά διαγράμματα των δύο εξόδων του απαριθμητή που σχεδιάσετε πιο πάνω. Η αρχική κατάσταση του απαριθμητή είναι RESET.



Σχήμα 17

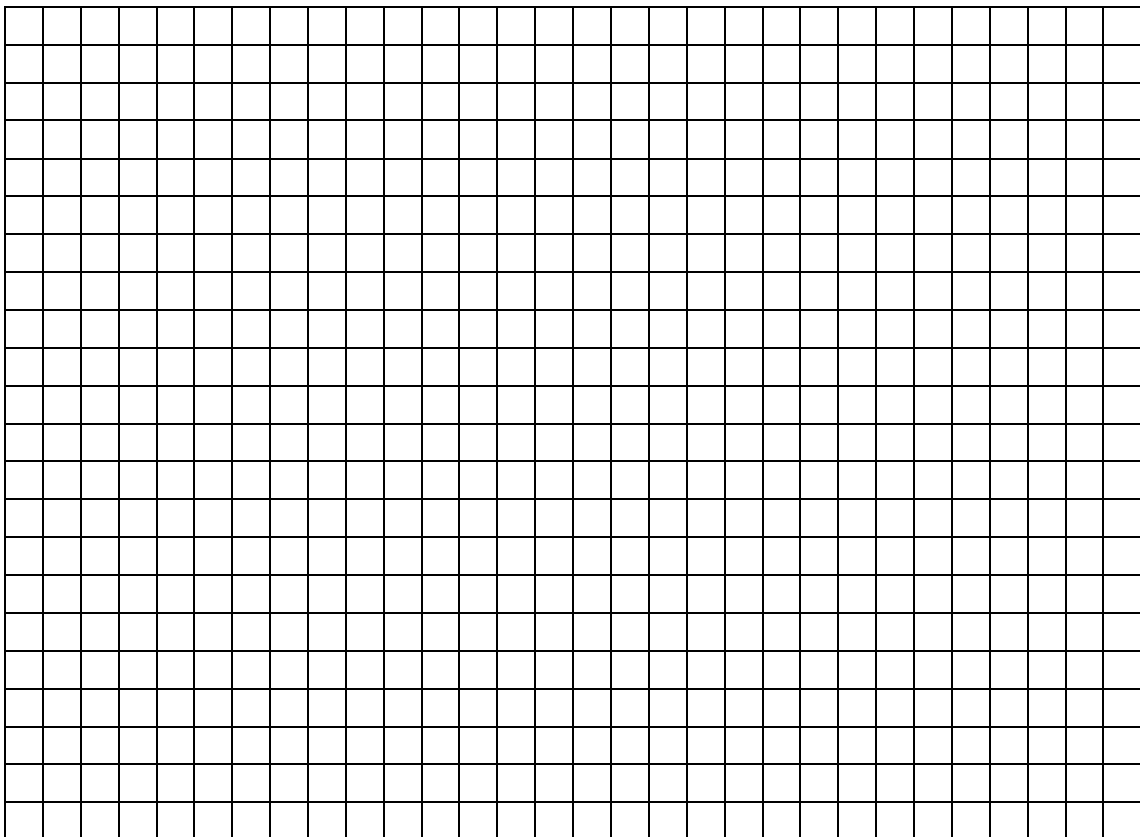
(γ) Αν η συχνότητα των ωρολογιακών παλμών (CLK) είναι 2 MHz, να υπολογίσετε τη συχνότητα των παλμών στην έξοδο Q του κάθε Φλιπ Φλοπ του κυκλώματος του ασύγχρονου δυαδικού απαριθμητή που σχεδιάσετε στο μέρος (α).

$$f_{Q0} = 1 \text{ MHz}$$

$$f_{Q1} = 500 \text{ kHz}$$

----- Τέλος Εξέτασης -----

ΠΡΟΧΕΙΡΟ



ΤΥΠΟΛΟΓΙΟ	
ΑΛΓΕΒΡΑ ΤΟΥ ΜΠΟΥΛ (BOOLE)	
Αξίωμα της αντιμετάθεσης	$A + B = B + A$ $A \cdot B = B \cdot A$
Αξίωμα του προσεταιρισμού	$A \cdot B \cdot C = (A \cdot B) \cdot C = A \cdot (B \cdot C)$ $A + B + C = (A + B) + C = A + (B + C)$
Αξίωμα του επιμερισμού	$A \cdot (B + C) = A \cdot B + A \cdot C$
Κανόνες της άλγεβρας Boole	$A + 0 = A$ $A + 1 = 1$ $A \cdot 0 = 0$ $A \cdot 1 = A$ $A + A = A$ $A + \bar{A} = 1$ $A \cdot A = A$ $A \cdot \bar{A} = 0$ $\overline{\bar{A}} = A$ $A + A \cdot B = A$ $A + \bar{A} \cdot B = A + B$ $(A + B) \cdot (A + C) = A + B \cdot C$
Θεώρημα Ντε Μόργαν (De Morgan)	$\overline{A + B} = \bar{A} \cdot \bar{B}$ $\overline{A \cdot B} = \bar{A} + \bar{B}$
ΛΟΓΙΚΕΣ ΠΥΛΕΣ	
Πύλη AND	$Y = A \cdot B$
Πύλη OR	$Y = A + B$
Πύλη NOT	$Y = \bar{A}$
Πύλη NAND	$Y = \overline{A \cdot B}$
Πύλη NOR	$Y = \overline{A + B}$
Πύλη EXCLUSIVE OR	$Y = A \oplus B$
Πύλη EXCLUSIVE NOR	$Y = \overline{A \oplus B}$

ΠΟΛΥΔΟΝΗΤΕΣ	
Κύκλος Δράσης	$d = \frac{t_H}{T} \times 100\%$

ΑΠΑΡΙΘΜΗΤΕΣ	
Μέγιστο μέτρο απαριθμητή	$\max MOD = 2^v$
Μέγιστη συχνότητα αρίθμησης ασύγχρονου απαριθμητή	$f_{max} = \frac{1}{vt_p}$
Συχνότητα παλμών στην έξοδο που δίνει το περισσότερο σημαντικό ψηφίο απαριθμητή με μέτρο N	$f = \frac{f_{CLK}}{N}$
ΚΑΤΑΧΩΡΗΤΕΣ	
Συχνότητα κυκλικού απαριθμητή	$f_Q = \frac{1}{N} f_{CLK}$
Συχνότητα απαριθμητή Τζόνσον (Johnson)	$f_Q = \frac{1}{2N} f_{CLK}$
ΜΕΤΑΤΡΟΠΕΙΣ D/A	
Μετατροπέας D/A με σταθμισμένες αντιστάσεις και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{8R} (8D_3 + 4D_2 + 2D_1 + D_0)$
Μετατροπείς D/A με κλιμακωτό δίκτυο αντιστάσεων και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{2R} (D_3 + \frac{1}{2} D_2 + \frac{1}{4} D_1 + \frac{1}{8} D_0)$
	$U_{out} = \frac{U_{in}}{2} (D_3 + \frac{1}{2} D_2 + \frac{1}{4} D_1 + \frac{1}{8} D_0)$
Ανάλυση	$\frac{FS}{2^N - 1}$
Ανάλυση %	$\frac{1}{2^N - 1} 100\%$