

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΠΟΛΙΤΙΣΜΟΥ, ΑΘΛΗΤΙΣΜΟΥ ΚΑΙ ΝΕΟΛΑΙΑΣ  
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΕΚΠΑΙΔΕΥΣΗΣ  
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

**ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ ΠΡΟΣΒΑΣΗΣ 2022**

**ΤΕΧΝΟΛΟΓΙΑ ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ**

**Μάθημα** : Ψηφιακά Ηλεκτρονικά II (410)  
**Ημερομηνία** : Τετάρτη, 29 Ιουνίου 2022  
**Ωρα εξέτασης** : 08:00 – 10:30

**Λύσεις**

**ΜΕΡΟΣ Α΄** - Το μέρος Α αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. (α) Για τους πιο κάτω ψηφιακούς κώδικες να δώσετε το μονό ψηφίο ισοτιμίας.

Ψηφιακός Κώδικας	Μονό Ψηφίο Ισοτιμίας
10011001	<b>1</b>
0111100111	<b>0</b>

- (β) Να δώσετε τον ορισμό για το «ψηφίο ισοτιμίας».

***Το ψηφίο ισοτιμίας (parity bit) είναι ένα επιπρόσθετο bit στον κώδικα δεδομένων, έτσι ώστε ο συνολικός αριθμός των 1 να είναι πάντοτε είτε μονός αριθμός (μονή ισοτιμία), είτε ζυγός (ζυγή ισοτιμία).***

2. Να επιλέξετε τη σωστή απάντηση.

- (α) Το NOR Φλιπ Φλοπ βρίσκεται στην απαγορευμένη κατάσταση, όταν οι είσοδοι του βρίσκονται στα λογικά επίπεδα:

(1)  $S = 0, R = 0$

(2)  $S = 1, R = 0$

**(3)  $S = 1, R = 1$**

(4)  $S = 0, R = 1$

- (5) Κανένα από τα πιο πάνω. Το NOR Φλιπ Φλοπ δεν έχει καμιά απαγορευμένη κατάσταση.

***Το (3)***

- (β) Ένα JK Φλιπ Φλοπ βρίσκεται σε κατάσταση εναλλαγής (Toggle), όταν οι είσοδοι του βρίσκονται στα λογικά επίπεδα:

(1)  $J = 0, K = 0$

(2)  $J = 1, K = 0$

**(3)  $J = 1, K = 1$**

(4)  $J = 0, K = 1$

- (5) Κανένα από τα πιο πάνω. Το JK Φλιπ Φλοπ δεν μπορεί να βρεθεί στην κατάσταση εναλλαγής.

***Το (3)***

3. (α) Να ονομάσετε τον τύπο του τρανζίστορ με τον οποίο είναι κατασκευασμένα τα κυκλώματα της λογικής οικογένειας TTL.

***Διπολικά Τρανζίστορ***

(β) Να αναφέρετε ένα μειονέκτημα της λογικής οικογένειας CMOS έναντι της λογικής οικογένειας TTL.

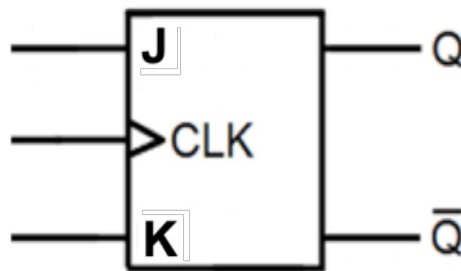
Ένα από τα πιο κάτω:

- **Μεγάλος σχετικά χρόνος διάδοσης και άρα μικρή ταχύτητα λειτουργίας.**
- **Ευαισθησία στο στατικό ηλεκτρισμό.**

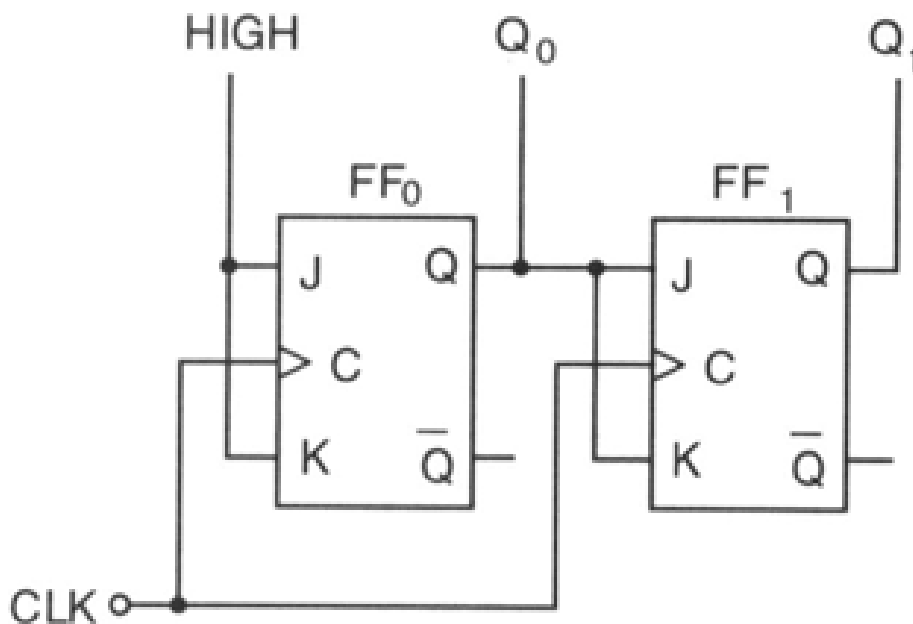
(γ) Να αναφέρετε τι εννοούμε με τον όρο «ικανότητα οδήγησης» μιας λογικής οικογένειας.

**Η ικανότητα οδήγησης (Fan Out) μιας πύλης, είναι ο μέγιστος αριθμός εισόδων που μπορεί να οδηγήσει η έξοδος της πύλης χωρίς να επηρεαστεί η κανονική της λειτουργία.**

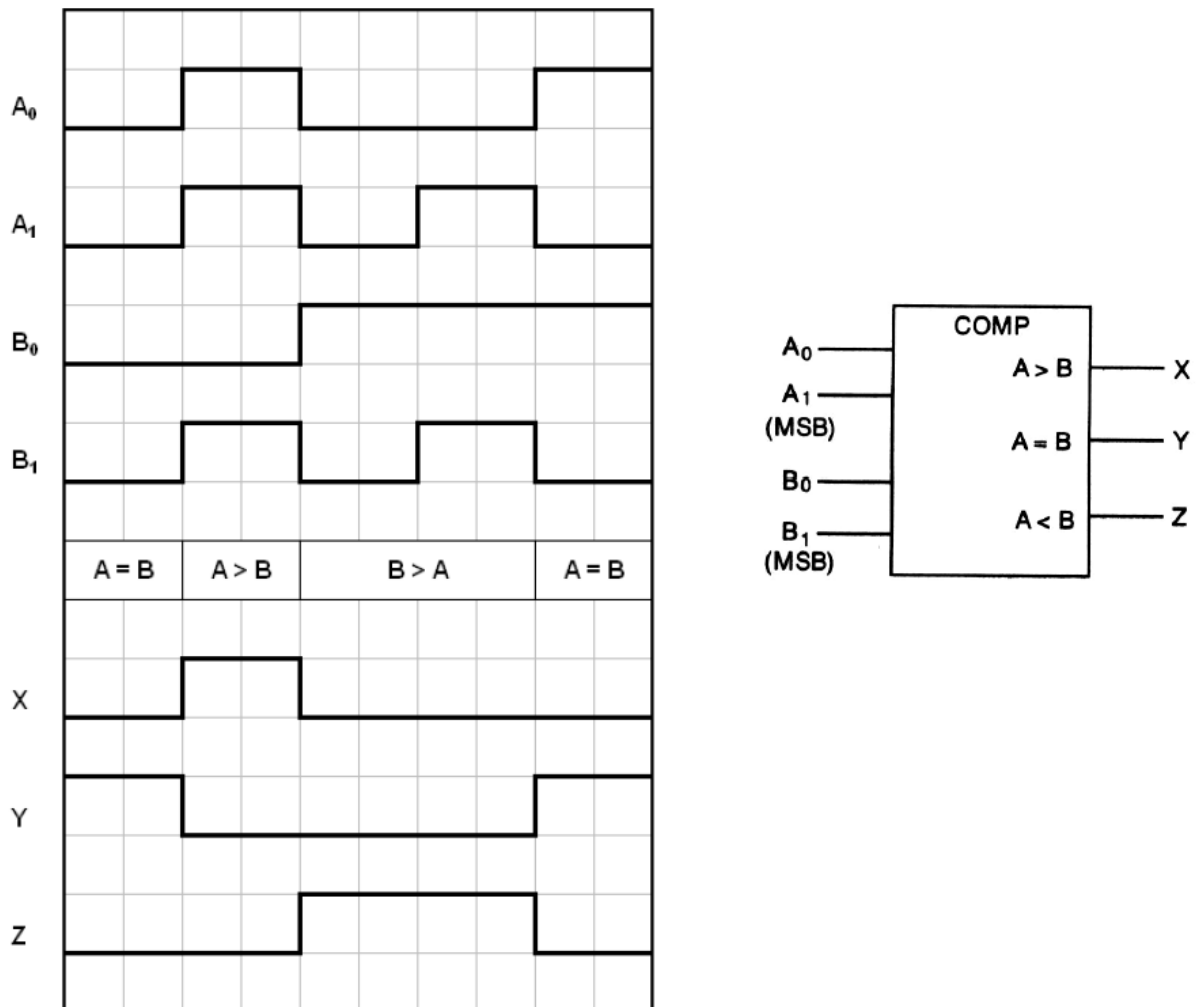
4. Δίνεται το JK Φλιπ Φλοπ του Σχήματος 1. Να σχεδιάσετε το κύκλωμα σύγχρονου δυαδικού απαριθμητή 2-bit ο οποίος να μετρά προς τα πάνω.



Σχήμα 1



5. Στο Σχήμα 2 δίνεται το λογικό σύμβολο και τα χρονικά διαγράμματα που εφαρμόζονται στις εισόδους ψηφιακού συγκριτή 2-bit. Να σχεδιάσετε τα χρονικά διαγράμματα των τριών εξόδων X, Y και Z του συγκριτή.



**Σχήμα 2**

6. Στο Σχήμα 3 δίνεται το λογικό σύμβολο του αποκωδικοποιητή 2 bit σε 4 γραμμές.



**Σχήμα 3**

Να γράψετε τις λογικές συναρτήσεις των εξόδων του αποκωδικοποιητή στο Σχήμα 3.

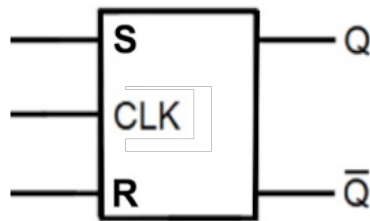
$$\overline{Y_0} = \overline{A_1} \cdot \overline{A_0} \quad (0, 0) \quad Y_0 = \overline{\overline{\overline{A_1} \cdot \overline{A_0}}} = A_1 + A_0$$

$$\overline{Y_1} = \overline{A_1} \cdot A_0 \quad (0, 1) \quad Y_1 = \overline{\overline{\overline{A_1} \cdot A_0}} = A_1 + \overline{A_0}$$

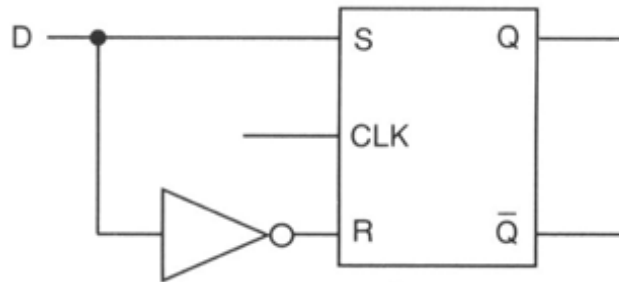
$$\overline{Y_2} = A_1 \cdot \overline{A_0} \quad (1, 0) \quad Y_2 = \overline{\overline{A_1 \cdot \overline{A_0}}} = \overline{A_1} + A_0$$

$$\overline{Y_3} = A_1 \cdot A_0 \quad (1, 1) \quad Y_3 = \overline{\overline{A_1 \cdot A_0}} = \overline{A_1} + \overline{A_0}$$

7. (α) Να μετατρέψετε το SR Φλιπ Φλοπ του Σχήματος 4 σε ένα D Φλιπ Φλοπ.



Σχήμα 4

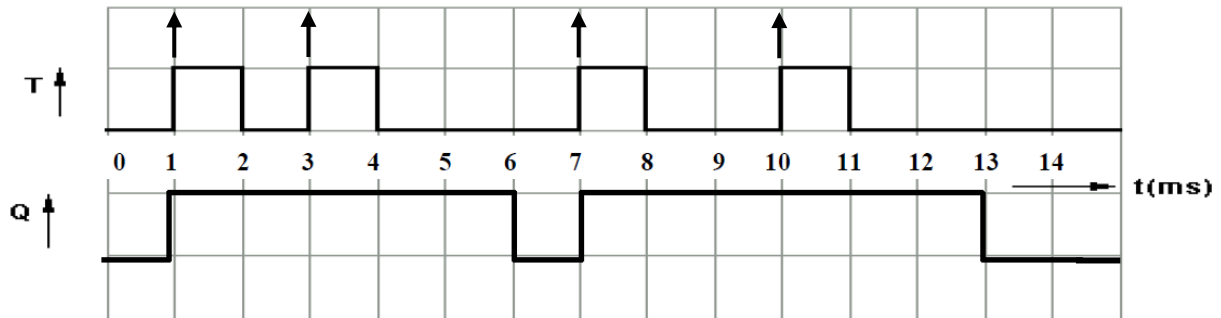


(β) Να συμπληρώσετε τον πιο κάτω πίνακα αληθείας (Πίνακας 1) του D Φλιπ Φλοπ (με βάση το λογικό σύμβολο που σχεδιάσατε στην ερώτηση 7(α)).

Είσοδοι		Έξοδοι		
CLK	D	$Q_{n+1}$	$\overline{Q}_{n+1}$	Κατάσταση
0	X	$Q_n$	$\overline{Q}_n$	<b>MEMORY</b>
1	0	0	1	<b>RESET</b>
1	1	1	0	<b>SET</b>

Πίνακας 1

8. Επαναδιεγερόμενος μονοσταθής πολυδονητής διεγείρεται στα θετικά μέτωπα των παλμών διέγερσης και έχει χρόνο βολής 3 ms. Η σταθερή κατάσταση του μονοσταθούς πολυδονητή είναι το λογικό 0. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου (Q) του μονοσταθούς πολυδονητή, κάτω από το διάγραμμα των παλμών διέγερσης (T) που δίνεται στο Σχήμα 5.



**Σχήμα 5**

9. Στο Σχήμα 6 δίνονται το λογικό σύμβολο και ο πίνακας αληθείας του κωδικοποιητή δεκαδικών αριθμών στον κώδικα BCD.



Είσοδοι											Έξοδοι (Κώδικας BCD)			
A/A	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>4</sub>	D <sub>5</sub>	D <sub>6</sub>	D <sub>7</sub>	D <sub>8</sub>	D <sub>9</sub>	Y <sub>3</sub>	Y <sub>2</sub>	Y <sub>1</sub>	Y <sub>0</sub>
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	0	0	0	1	0
3	0	0	0	1	0	0	0	0	0	0	0	0	1	1
4	0	0	0	0	1	0	0	0	0	0	0	1	0	0
5	0	0	0	0	0	1	0	0	0	0	0	1	0	1
6	0	0	0	0	0	0	1	0	0	0	0	1	1	0
7	0	0	0	0	0	0	0	1	0	0	0	1	1	1
8	0	0	0	0	0	0	0	0	1	0	1	0	0	0
9	0	0	0	0	0	0	0	0	0	1	1	0	0	1

**Σχήμα 6**

Να γράψετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του κωδικοποιητή του Σχήματος 6.

$$Y_0 = D_1 + D_3 + D_5 + D_7 + D_9$$

$$Y_1 = D_2 + D_3 + D_6 + D_7$$

$$Y_2 = D_4 + D_5 + D_6 + D_7$$

$$Y_3 = D_8 + D_9$$

10. (α) Το αρχικό περιεχόμενο ενός κυκλικού ολισθητή τεσσάρων 4-bit είναι:

$$Q_0 = 1, Q_1 = 0, Q_2 = 1, Q_3 = 0.$$

Να συμπληρώσετε στον πιο κάτω πίνακα (Πίνακας 2) το περιεχόμενο του ολισθητή μετά από τρεις ωρολογιακούς παλμούς.

	$Q_0$	$Q_1$	$Q_2$	$Q_3$
Αρχικό περιεχόμενο	1	0	1	0
Περιεχόμενο μετά τον πρώτο ωρολογιακό παλμό	0	1	0	1
Περιεχόμενο μετά το δεύτερο ωρολογιακό παλμό	1	0	1	0
Περιεχόμενο μετά τον τρίτο ωρολογιακό παλμό	0	1	0	1

**Πίνακας 2**

(β) Καταχωρητής ο οποίος αποτελείται από οκτώ Φλιπ Φλοπ και χρειάζεται εννέα χρονικούς παλμούς για να εισάγει και να εξάγει 1 byte, είναι:

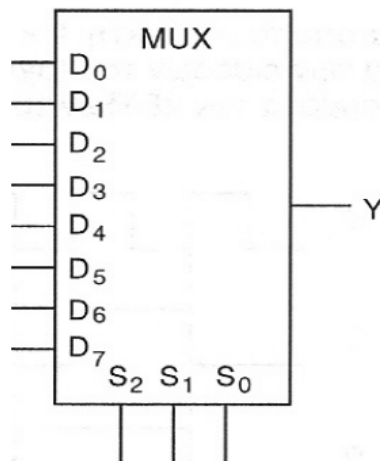
- (1) Διαδοχικής εισόδου και διαδοχικής εξόδου
- (2) Διαδοχικής εισόδου και παράλληλης εξόδου
- (3) Παράλληλης εισόδου και παράλληλης εξόδου
- (4) Παράλληλης εισόδου και διαδοχικής εξόδου**

**Το (4)**

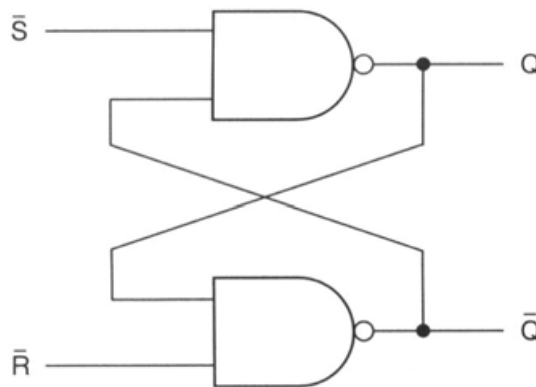
11. (α) Να δώσετε τον ορισμό για τον «ψηφιακό πολυπλέκτη».

**Ο πολυπλέκτης είναι ένα συνδυαστικό λογικό κύκλωμα, που επιτρέπει τη μεταφορά πληροφοριών από πολλές πηγές εισόδου μέσω κοινών γραμμών εξόδου. Η επιλογή της γραμμής εισόδου, από την οποία θα μεταφερθούν οι πληροφορίες προς την έξοδο, γίνεται μέσω των γραμμών επιλογής εισόδου.**

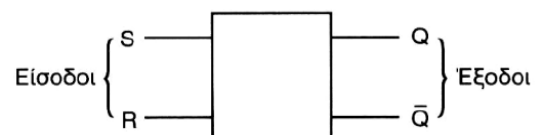
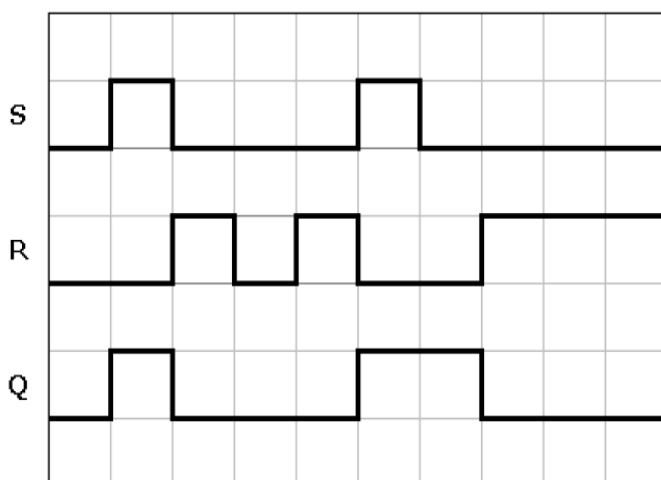
(β) Να σχεδιάσετε το λογικό σύμβολο του πολυπλέκτη οκτώ γραμμών σε μία.



12. (α) Να σχεδιάσετε το λογικό κύκλωμα του ασύγχρονου SR NAND Φλιπ Φλοπ.



(β) Στο Σχήμα 7 δίνονται το λογικό σύμβολο και τα χρονικά διαγράμματα των εισόδων ενός SR Φλιπ Φλοπ. Να σχεδιάσετε στο ίδιο σχήμα το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ. Αρχικά το Φλιπ Φλοπ βρίσκεται στην κατάσταση RESET.



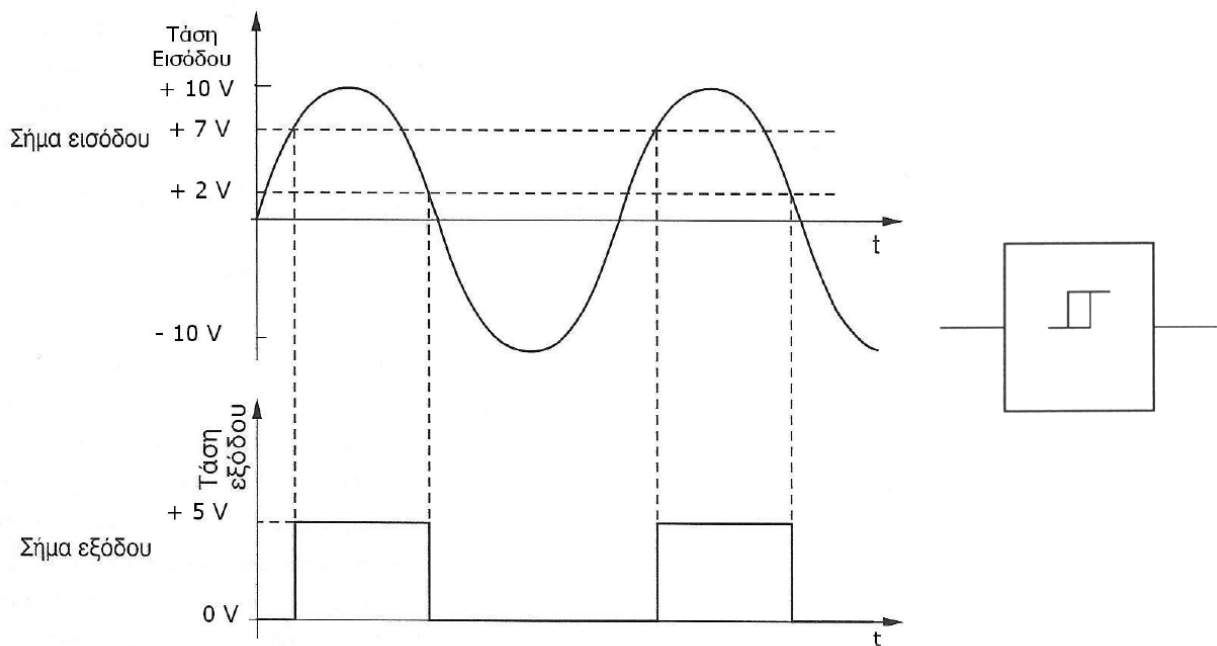
**Σχήμα 7**



**ΜΕΡΟΣ Β΄ - Το μέρος Β αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.**

13. Στο Σχήμα 8 δίνονται το σύμβολο και το σήμα εισόδου που εφαρμόζεται σε μη αναστρέφον (non-inverting) κύκλωμα σκανδάλης Σμιτ (δηλαδή, η εφαρμογή του σήματος εισόδου γίνεται στη θετική είσοδο του κυκλώματος). Οι τιμές τάσης άνω ( $U_2$ ) και κάτω ( $U_1$ ) κατωφλίου είναι αντίστοιχα +7 V και +2 V. Οι τιμές HIGH (ψηλή) και LOW (χαμηλή) που βγάζει στη έξοδό του το κύκλωμα είναι αντίστοιχα +5 V και 0 V.

(α) Να σχεδιάσετε στο Σχήμα 8, το σήμα εξόδου του εν λόγω κυκλώματος.



**Σχήμα 8**

(β) Να υπολογίσετε την υστέρηση του ίδιου κυκλώματος.

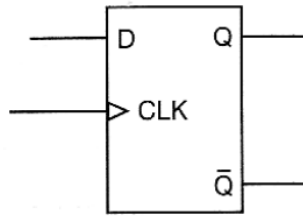
$$\text{Υστέρηση} = U_2 - U_1 = 7 - 2 = 5 \text{ V}$$

- (γ) Ασταθής πολυδονητής παράγει τετραγωνικούς παλμούς με περίοδο  $T = 10 \text{ ms}$ . Να υπολογίσετε τον κύκλο δράσης  $d$  και τον χρόνο  $t_H$  που παραμένει ο παλμός στο λογικό 1.

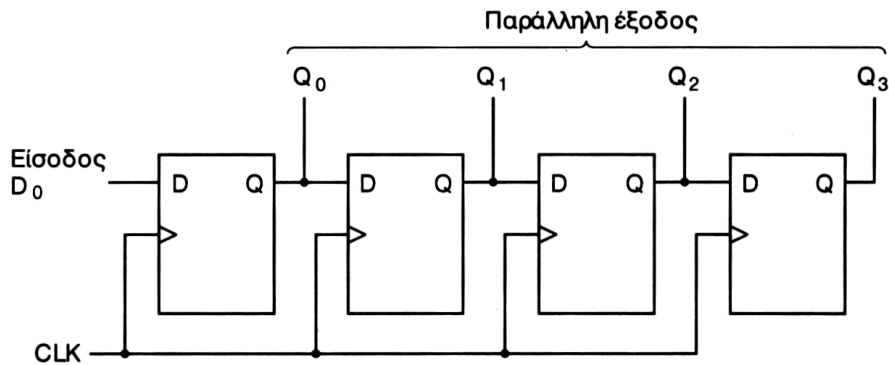
$$\text{Τετραγωνικοί παλμοί} \Rightarrow d = 50\%$$

$$\text{Εφόσον ο κύκλος δράσης είναι } 50\% \Rightarrow t_H = t_L = 10 / 2 = 5 \text{ ms}$$

14. (α) Με τη χρήση του D Φλιπ Φλοπ του Σχήματος 9, να σχεδιάσετε το λογικό κύκλωμα καταχωρητή 4-bit με διαδοχική είσοδο και παράλληλη έξοδο.



**Σχήμα 9**



(β) Να υπολογίσετε πόσοι ωρολογιακοί παλμοί απαιτούνται, για να εισέλθει και να εξέλθει μια πληροφορία των 4-bit στον καταχωρητή που σχεδιάσατε στην ερώτηση 14(α).

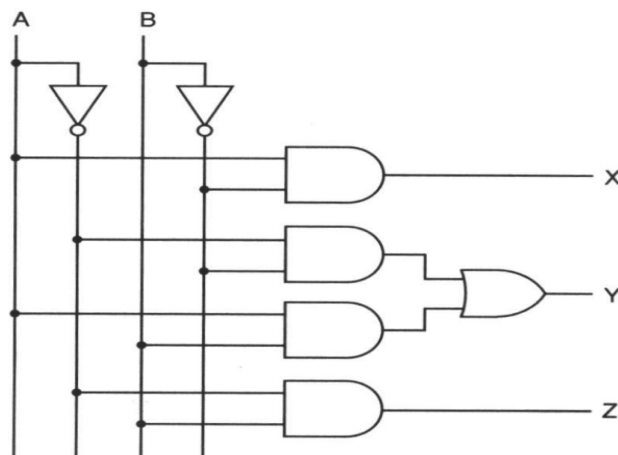
**Απαιτούνται 4 ωρολογιακοί παλμοί**

(γ) Αν η συχνότητα του ωρολογίου (CLK) είναι 200 MHz, να υπολογίσετε το συνολικό χρόνο που θα χρειαστεί για να αποθηκευτεί η πληροφορία των 4-bit στον καταχωρητή της ερώτησης 14(α).

$$T = 1 / f = 1 / 200 \text{ MHz} = 5 \text{ ns}$$

$$\text{Συνολικός χρόνος αποθήκευσης} = (4 \text{ παλμοί}) \times 5 \text{ ns} = 20 \text{ ns}$$

15. Δίνεται το πιο κάτω λογικό κύκλωμα (Σχήμα 10).



**Σχήμα 10**

(α) Να δώσετε την ακριβή ονομασία του κυκλώματος του Σχήματος 10.

**Ψηφιακός Συγκριτής του 1-bit**

(β) Να γράψετε τις λογικές συναρτήσεις των εξόδων του κυκλώματος του Σχήματος 10.

$$X = A \cdot \bar{B}$$

$$Y = \bar{A} \cdot \bar{B} + A \cdot B \quad \text{ή} \quad Y = \overline{A \oplus B}$$

$$Z = \bar{A} \cdot B$$

(γ) Με ποια άλλη ισοδύναμη λογική συνάρτηση μπορεί να αντικατασταθεί η συνάρτηση της εξόδου Y που γράψατε στην ερώτηση 15(β).

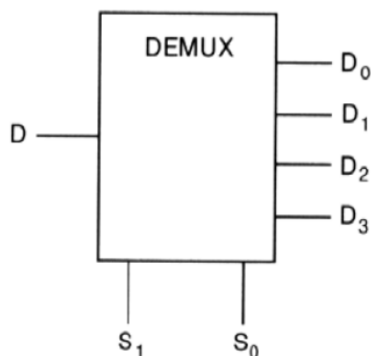
$$Y = \overline{A \oplus B} \quad \text{ή} \quad Y = \bar{A} \cdot \bar{B} + A \cdot B$$

(δ) Να συμπληρώσετε τον πίνακα αληθείας του κυκλώματος (Πίνακας 3).

Είσοδοι		Έξοδοι		
A	B	X	Y	Z
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

**Πίνακας 3**

16. Στο Σχήμα 11 δίνονται το λογικό σύμβολο και ο πίνακας αληθείας αποπολυπλέκτη μιας γραμμής σε τέσσερις.



Είσοδοι Επιλογής		Έξοδοι			
S <sub>1</sub>	S <sub>0</sub>	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

**Σχήμα 11**

(α) Να γράψετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποπολυπλέκτη του Σχήματος 11.

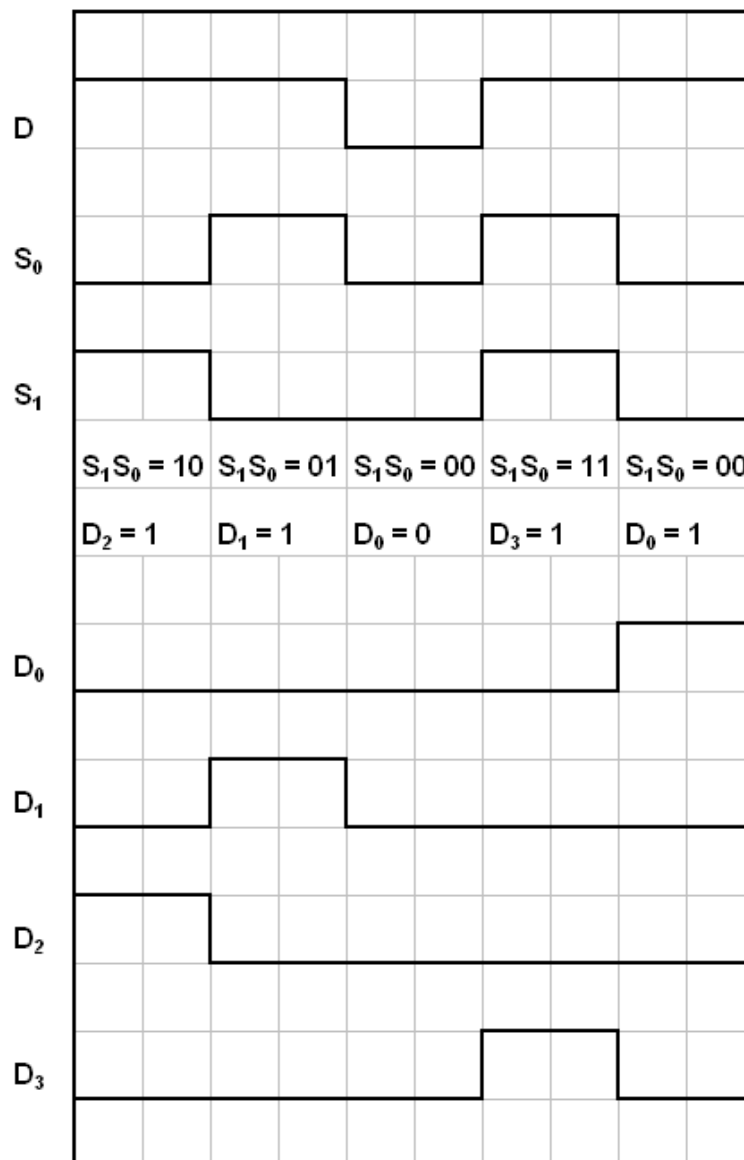
$$D_0 = \overline{S_1} \cdot \overline{S_0} \cdot D$$

$$D_1 = \overline{S_1} \cdot S_0 \cdot D$$

$$D_2 = S_1 \cdot \overline{S_0} \cdot D$$

$$D_3 = S_1 \cdot S_0 \cdot D$$

(β) Στο Σχήμα 12 δίνονται τα χρονικά διαγράμματα εισόδου κυκλώματος αποπολυπλέκτη μιας γραμμής σε τέσσερις (1 x 4). Να σχεδιάσετε τα χρονικά διαγράμματα των τεσσάρων εξόδων του αποπολυπλέκτη.



**Σχήμα 12**

(γ) Να δώσετε τον αριθμό γραμμών επιλογής εισόδου που απαιτείται να έχει ένας πολυπλέκτης, για την υλοποίηση της λογικής συνάρτησης

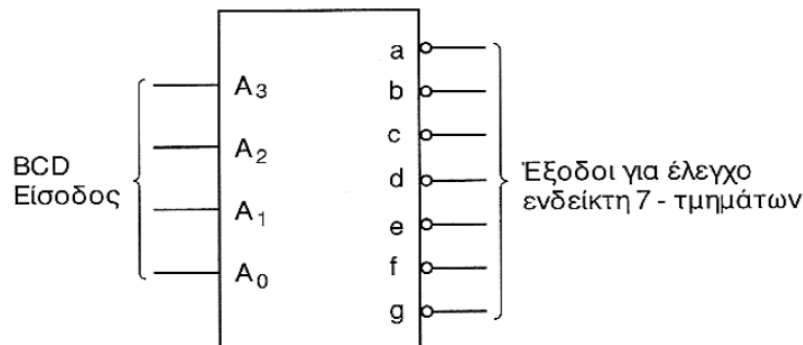
$$Y = A \cdot \bar{B} + \bar{A} \cdot B \cdot C + \bar{A} \cdot C$$

**Απαιτείται πολυπλέκτης MUX 8x1**

**Απαιτούνται 3 γραμμές επιλογής εισόδου ( $8 = 2^N \Rightarrow N = 3$ )**

**ΜΕΡΟΣ Γ' - Το μέρος Γ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.**

17. Στο Σχήμα 13 δίνεται το σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει τον ενδείκτη 7-τμημάτων.



**Σχήμα 13**

(α) Να αναφέρετε τον αριθμό που θα παριστάνει ο ενδείκτης 7-τμημάτων που συνδέεται στην έξοδο του αποκωδικοποιητή, όταν η λογική κατάσταση των εισόδων του είναι:  $A_3A_2A_1A_0 = 0100$ .

Αριθμός = **4**

(β) Να δώσετε τη λογική κατάσταση των εξόδων του αποκωδικοποιητή για το 17(α).

**$a = 1 \quad b = 0 \quad c = 0 \quad d = 1 \quad e = 1 \quad f = 0 \quad g = 0$**

(γ) Να αναφέρετε ποιον τύπο 7-τμηματικής μονάδας ένδειξης LED θα συνδέσετε στην έξοδο του αποκωδικοποιητή του Σχήματος 13. Να δικαιολογήσετε την απάντησή σας.

**Κοινής Ανόδου**

**Οι έξοδοι του αποκωδικοποιητή που ελέγχει την 7-τμηματική μονάδα ένδειξης είναι ενεργοί στο λογικό 0 (active low).**

**Τα τμήματα της 7-τμηματικής μονάδας ανάβουν όταν στην κάθοδο των LED εφαρμόζεται χαμηλό δυναμικό (LOW) και οι άνοδοί τους συνδέονται από κοινού στη θετική τάση της πηγής.**

(δ) Ποια από τα τμήματα (a, b, c, d, e, f, g) του ενδείκτη 7-τμημάτων δεν θα ανάψουν, όταν η λογική κατάσταση των εισόδων του αποκωδικοποιητή του Σχήματος 13, είναι:  $A_3A_2A_1A_0 = 0010$

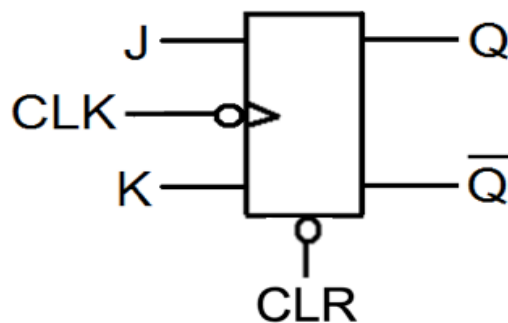
**Ο αριθμός που θα εμφανιστεί στον ενδείκτη 7-τμημάτων είναι το 2. Επομένως, δεν θα ανάψουν τα τμήματα c και f.**

(ε) Να αναφέρετε δύο χαρακτηριστικά του ενδείκτη 7-τμημάτων με LED.

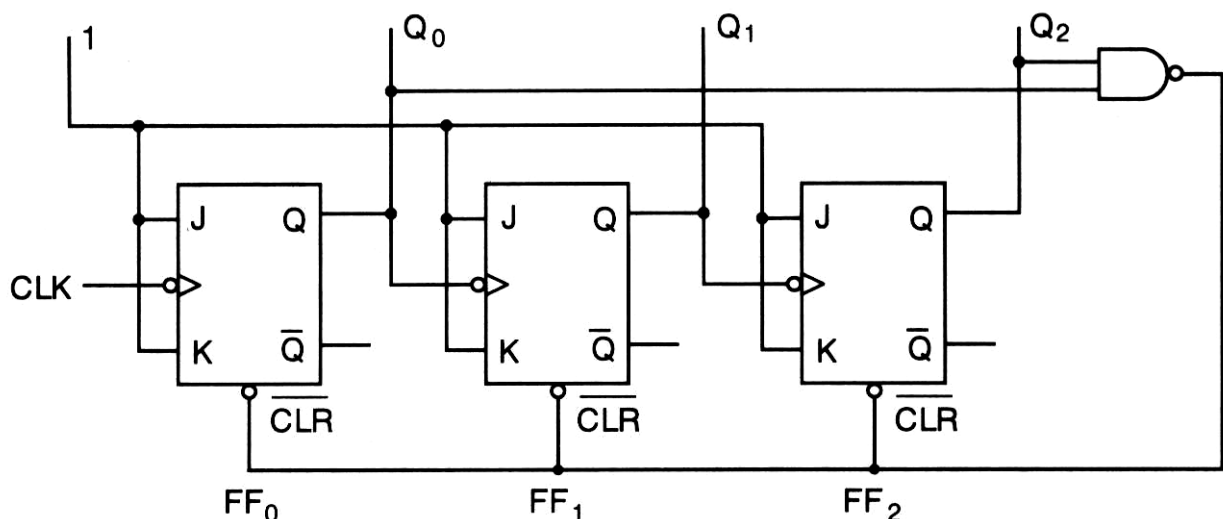
**Δύο από τα πιο κάτω:**

- Είναι κοινής ανόδου ή κοινής καθόδου
- Έχει χρώμα (συνηθισμένα χρώματα είναι κόκκινο, πράσινο, κίτρινο)
- Κατασκευάζεται σε διάφορα μεγέθη
- Αποτελείται από ένα ή περισσότερα ψηφία (digits), με κάθε ψηφίο να περιλαμβάνει τη δεκαδική τελεία (decimal point)
- Χαρακτηρίζεται από τις τυπικές τιμές τάσης και έντασης λειτουργίας

18. (α) Με τη χρήση του JK Φλιπ Φλοπ του Σχήματος 14, να σχεδιάσετε το λογικό κύκλωμα ασύγχρονου δυαδικού απαριθμητή που να μετρά από το 0 μέχρι το 4, χρησιμοποιώντας τον ελάχιστο αριθμό Φλιπ Φλοπ που απαιτούνται.



**Σχήμα 14**



(β) Να δώσετε το μέτρο του απαριθμητή που σχεδιάσατε στην ερώτηση 18(α).

**Μέτρο Απαριθμητή (MOD) 5**

(γ) Να υπολογίσετε το μέγιστο μέτρο του απαριθμητή στην ερώτηση 18(α).

**Μέγιστο Μέτρο (max MOD)  $2^3 = 8$**

(δ) Στο Σχήμα 15 να σχεδιάσετε, για επτά ωρολογιακούς παλμούς, τα χρονικά διαγράμματα των εξόδων του ασύγχρονου δυαδικού απαριθμητή που σχεδιάσατε στην ερώτηση 18(α), ονομάζοντας αντίστοιχα κάθε έξοδο ( $Q_0, \dots$ ). Η αρχική κατάσταση του απαριθμητή είναι RESET.

		↓		↓		↓		↓		↓		↓		↓
CLK		1		2		3		4		5		6		7
				↓				↓						↓
Q <sub>0</sub>	0	1	0	1	0	0	1	0	0	1	0			
								↓						
Q <sub>1</sub>	0	0	1	1	0	0	0	0	0	0	1			
Q <sub>2</sub>	0	0	0	0	1	0	0	0	0	0	0			

**Σχήμα 15**

(ε) Να υπολογίσετε τη συχνότητα των ωρολογιακών παλμών που εφαρμόζονται στην είσοδο δεκαδικού απαριθμητή, αν η συχνότητα των παλμών στην έξοδο του Φλιπ Φλοπ που δίνει το πιο σημαντικό ψηφίο (MSB) είναι 200 kHz.

**Ο δεκαδικός απαριθμητής έχει μέτρο 10 (MOD 10)**

$$f = f_{CLK} / N \Rightarrow f_{CLK} = f \cdot N = 200 \cdot 10^3 \cdot 10 = 2000000 \text{ Hz} = 2 \text{ MHz}$$

----- ΤΕΛΟΣ ΛΥΣΕΩΝ -----