

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΚΑΙ ΑΝΩΤΑΤΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2013

ΤΕΧΝΟΛΟΓΙΑ (ΙΙ) ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Ψηφιακά Ηλεκτρονικά ΘΚ ΙΙ (155)
Ημερομηνία : Δευτέρα, 3 Ιουνίου 2013
Ωρα εξέτασης : 07:30 – 10:00

Λύσεις

ΜΕΡΟΣ Α΄ - Το μέρος Α΄ αποτελείται από 12 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 4 μονάδες.

1. (α) Ποια είναι η διαφορά των ψηφιακών σημάτων από τα αναλογικά;

Λύση

Τα αναλογικά σήματα παίρνουν άπειρες τιμές, ενώ αντίθετα τα ψηφιακά παίρνουν μόνο δύο τιμές, την ψηλή (λογικό1) και τη χαμηλή (λογικό 0).

- (β) Να αναφέρετε το πλεονέκτημα του παράλληλου μετατροπέα A/D (μετατροπέας Flash), έναντι του μετατροπέα διαδοχικών προσεγγίσεων A/D.

Λύση

Ο μετατροπέας Flash είναι πολύ πιο γρήγορος με άμεση μετατροπή σε σχέση με το μετατροπέα διαδοχικών προσεγγίσεων.

2. (α) Να αναφέρετε σε τι χρησιμεύει το ψηφίο ισοτιμίας στα ψηφιακά ηλεκτρονικά.

Λύση

Το ψηφίο ισοτιμίας χρησιμεύει στον έλεγχο της ορθής μεταφοράς των δεδομένων (αναγνώριση λαθών) στο δέκτη σε ένα ψηφιακό σύστημα πληροφοριών.

- (β) Ένα κύκλωμα ελέγχου για μονό ψηφίο ισοτιμίας δέχεται τους πιο κάτω κώδικες. Να προσδιορίσετε κατά πόσο ο κάθε κώδικας είναι σωστός ή λανθασμένος.

(1) 11011 ΣΩΣΤΟΣ / ΛΑΝΘΑΣΜΕΝΟΣ

Λύση

ΛΑΝΘΑΣΜΕΝΟΣ

(2) 11010 ΣΩΣΤΟΣ / ΛΑΝΘΑΣΜΕΝΟΣ

Λύση

ΣΩΣΤΟΣ

3. Να επιλέξετε τις σωστές απαντήσεις:

- (α) Η συχνότητα του ωρολογίου (CLK) κυκλώματος απαριθμητή Τζόνσον (Johnson) 4-bit είναι 1 MHz. Η συχνότητα των παλμών στην έξοδο του κάθε Φλιπ Φλοπ του απαριθμητή είναι:

(1) 100 kHz

(2) 125 kHz

(3) 500 kHz

(4) 1 MHz

(5) 2 MHz

Λύση

(2) 125 kHz

(β) Το JK Φλιπ Φλοπ πλεονεκτεί του SR Φλιπ Φλοπ διότι:

- (1) Είναι πιο γρήγορο.
- (2) Δεν έχει απαγορευμένη κατάσταση εισόδων.
- (3) Διαθέτει είσοδο ωρολογίου (CLK).
- (4) Διαθέτει δύο εξόδους.

Λύση

(2) Δεν έχει απαγορευμένη κατάσταση εισόδων.

4. Ένας ασταθής πολυδονητής παράγει παλμούς με συχνότητα $f = 100 \text{ kHz}$ και έχει κύκλο δράσης $d = 30\%$. Να υπολογίσετε:

(α) Την περίοδο T των παλμών.

Λύση

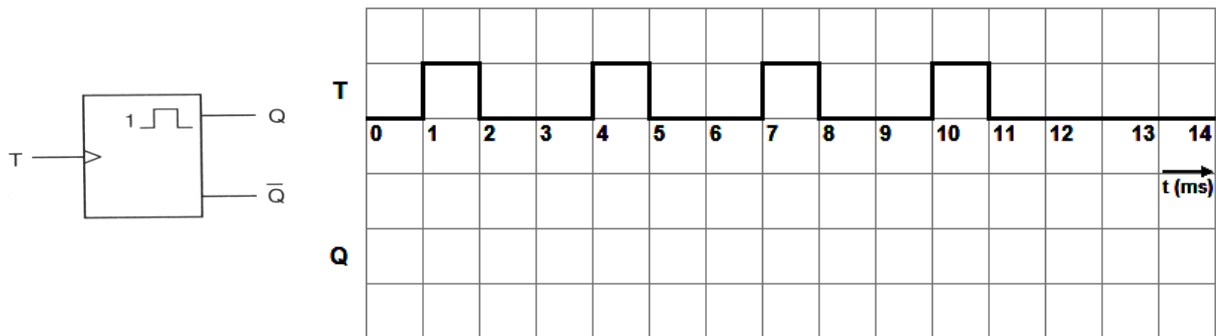
$$T = 10 \mu\text{s}$$

(β) Το χρόνο που ο παλμός εξόδου παραμένει στο λογικό 1, t_H .

Λύση

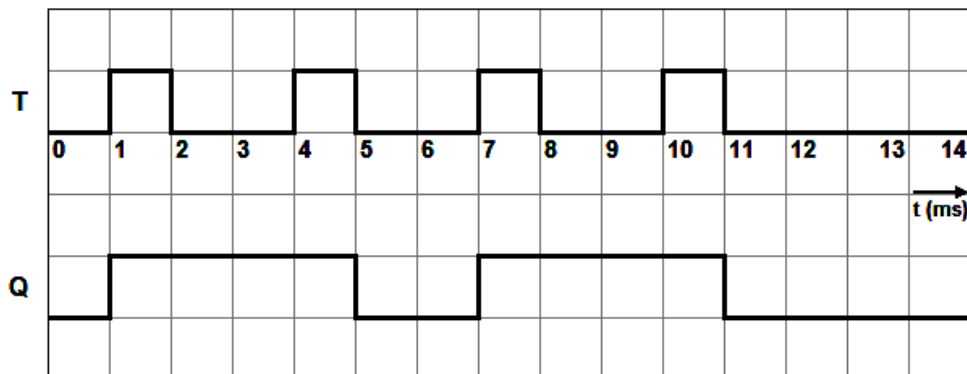
$$t_H = 3 \mu\text{s}$$

5. Στο σχήμα 1 δίνεται το λογικό διάγραμμα εισόδου μη επαδιεγειρόμενου μονοσταθί πολυδονητή με σταθερή κατάσταση το λογικό 0 και χρόνο βολής 4 ms . Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του πολυδονητή.



Σχήμα 1

Λύση



6. Να επιλέξετε τη σωστή απάντηση:

(α) Το NOR Φλιπ Φλοπ βρίσκεται στην απαγορευμένη κατάσταση, όταν οι είσοδοι του βρίσκονται στα λογικά επίπεδα:

(1) $S = 0, R = 0$

(2) $S = 1, R = 0$

(3) $S = 1, R = 1$

(4) $S = 0, R = 1$

(5) Κανένα από τα πιο πάνω. Το NOR Φλιπ Φλοπ δεν έχει καμιά απαγορευμένη κατάσταση.

Λύση

(3) $S = 1, R = 1$

(β) Ένα JK Φλιπ Φλοπ βρίσκεται σε κατάσταση εναλλαγής (Toggle), όταν οι είσοδοι του βρίσκονται στα λογικά επίπεδα:

(1) $J = 0, K = 0$

(2) $J = 1, K = 0$

(3) $J = 1, K = 1$

(4) $J = 0, K = 1$

(5) Κανένα από τα πιο πάνω. Το JK Φλιπ Φλοπ αντίθετα με το SR Φλιπ Φλοπ δεν μπορεί να βρεθεί στην κατάσταση εναλλαγής.

Λύση

(3) $J = 1, K = 1$

7. Να επιλέξετε τη σωστή απάντηση.

(α) Το μέτρο ενός απαριθμητή ορίζεται ως:

(1) Η συχνότητα του ωρολογίου (CLK) που εφαρμόζεται στην είσοδο του

(2) Ο αριθμός των διαφορετικών λογικών καταστάσεων που μπορούν να πάρουν οι έξοδοί του

(3) Ο αριθμός των Φλιπ Φλοπ από τα οποία αποτελείται

(4) Ο κώδικας αρίθμησης του

Λύση

(2) Ο αριθμός των διαφορετικών λογικών καταστάσεων που μπορούν να πάρουν οι έξοδοί του

(β) Για να μετατραπεί ένα παράλληλο σήμα σε σειριακό απαιτείται η χρήση καταχωρητή με:

- (1) Διαδοχική είσοδο και διαδοχική έξοδο
- (2) Διαδοχική είσοδο και παράλληλη έξοδο
- (3) Παράλληλη είσοδο και παράλληλη έξοδο
- (4) Παράλληλη είσοδο και διαδοχική έξοδο

Λύση

(4) Παράλληλη είσοδο και διαδοχική έξοδο

8. (α) Να αναφέρετε τι εννοούμε με τον όρο “καθυστέρηση διάδοσης” μιας λογικής οικογένειας.

Λύση

Καθυστέρηση διάδοσης μιας λογικής οικογένειας είναι ο χρόνος που χρειάζεται, για να μεταφερθεί στην έξοδο μιας πύλης μια μεταβολή που λαμβάνει χώρα στην είσοδο της πύλης.

(β) Από ποιο τύπο τρανζίστορ είναι κατασκευασμένα τα κυκλώματα της λογικής οικογένειας TTL;

Λύση

Διπολικά τρανζίστορ

9. (α) Να υπολογίσετε το μέγιστο μέτρο απαριθμητή με 8 Φλιπ Φλοπ.

Λύση

Μέγιστο μέτρο, $2^8 = 256$

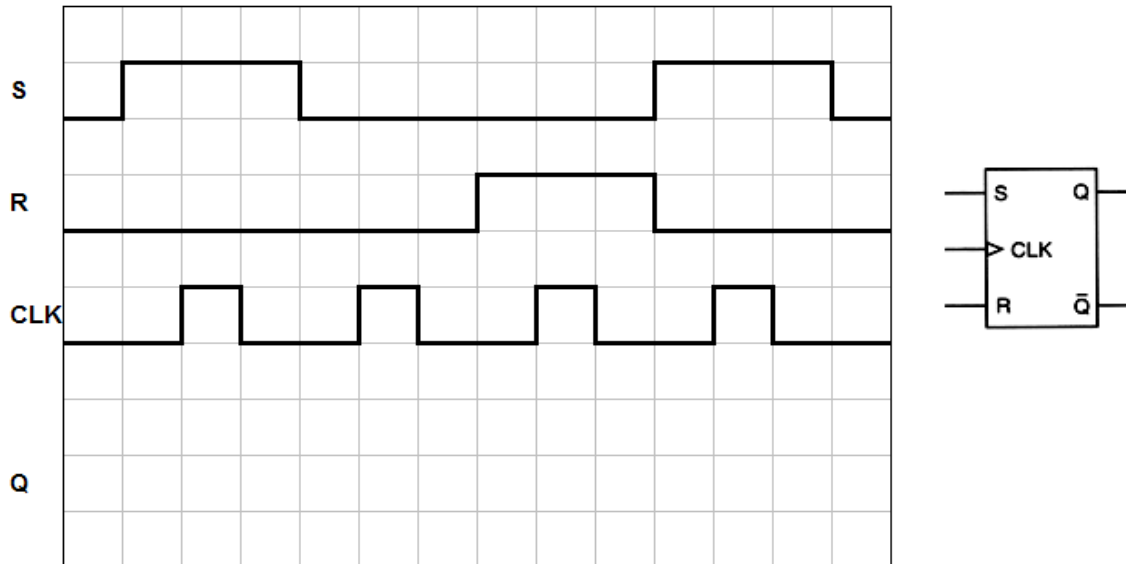
(β) Να υπολογίσετε τον αριθμό των Φλιπ Φλοπ που έχει ένας απαριθμητής ο οποίος μετρά, μέχρι το 50.

Λύση

$2^5 < 50 < 2^6$

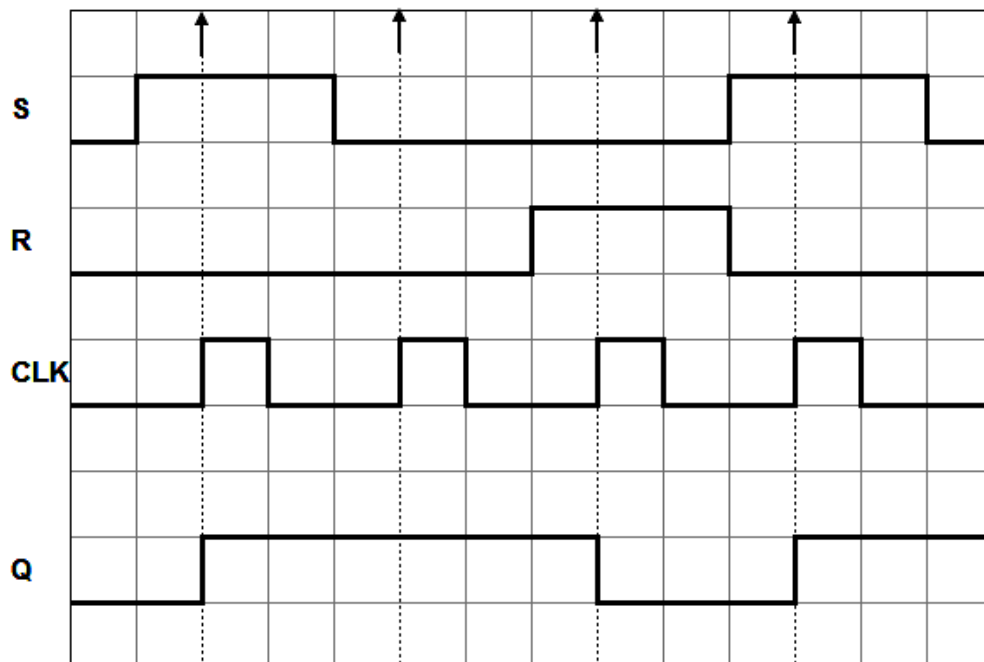
Άρα έχουμε 6 Φλιπ Φλοπ

10. Στο σχήμα 2 δίνεται κύκλωμα χρονιζόμενου SR Φλιπ Φλοπ και τα χρονικά διαγράμματα των παλμών που εφαρμόζονται στην είσοδό του. Να σχεδιάσετε στο τετραγωνισμένο χαρτί το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ για 4 χρονικούς παλμούς CLK. Αρχικά το Φλιπ Φλοπ είναι στην κατάσταση RESET.



Σχήμα 2

Λύση



11. (α) Να δώσετε τον ορισμό του ψηφιακού κωδικοποιητή.

Λύση

Ο κωδικοποιητής είναι ένα συνδυαστικό λογικό κύκλωμα με M εισόδους, από τις οποίες ενεργοποιείται μόνο μια κάθε φορά, με αποτέλεσμα να σχηματίζεται στην έξοδο του κυκλώματος ένας κώδικας από N bit.

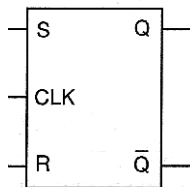
(β) Να υπολογίσετε πόσα bit χρειάζονται για να κωδικοποιήσουμε τους 107 χαρακτήρες ενός πληκτρολογίου.

Λύση

$$2^6 < 107 < 2^7$$

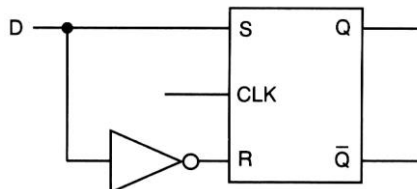
Άρα χρειάζονται 7 bits.

12. (α) Να μετατρέψετε το SR Φλιπ Φλοπ του σχήματος 3 σε ένα D Φλιπ Φλοπ με τη βοήθεια μιας πύλης NOT.



Σχήμα 3

Λύση



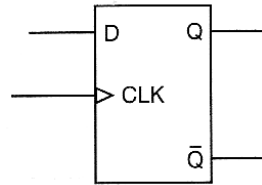
(β) Τι θα συμβεί στις εξόδους χρονιζόμενου JK Φλιπ Φλοπ που βρίσκεται στην κατάσταση εναλλαγής (TOGGLE), όταν εφαρμοστούν παλμοί χρονισμού;

Λύση

Οι δύο εξόδοι του Φλιπ Φλοπ θα αλλάζουν λογική κατάσταση για κάθε παλμό χρονισμού.

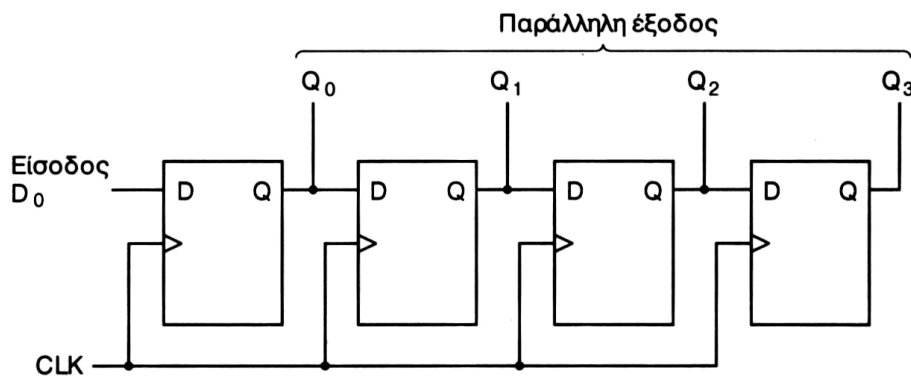
ΜΕΡΟΣ Β' - Το μέρος Β' αποτελείται από 4 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 8 μονάδες.

13. (α) Με τη χρήση του D Φλιπ Φλοπ του σχήματος 4, να σχεδιάσετε ένα καταχωρητή 4 bit με διαδοχική είσοδο και παράλληλη έξοδο.



Σχήμα 4

Λύση



- (β) Να υπολογίσετε πόσοι ωρολογιακοί παλμοί απαιτούνται, για να αποθηκευθεί μια πληροφορία των 4-bit στον καταχωρητή που σχεδιάσατε στην ερώτηση 13(α) πιο πάνω.

Λύση

Απαιτούνται 4 ωρολογιακοί παλμοί.

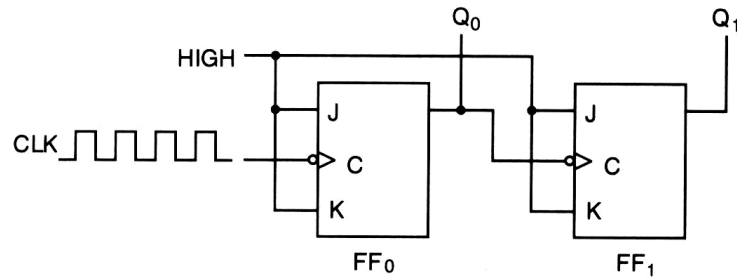
- (γ) Αν η συχνότητα του ωρολογίου (CLK) είναι 200 MHz, να υπολογίσετε το συνολικό χρόνο που θα χρειαστεί για να αποθηκευθεί η πληροφορία στον καταχωρητή της ερώτησης 13 (α) πιο πάνω.

Λύση

$$\text{Χρονικός Παλμός, } T = \frac{1}{f} = \frac{1}{200 \text{ MHz}} = 5 \text{ ns}$$

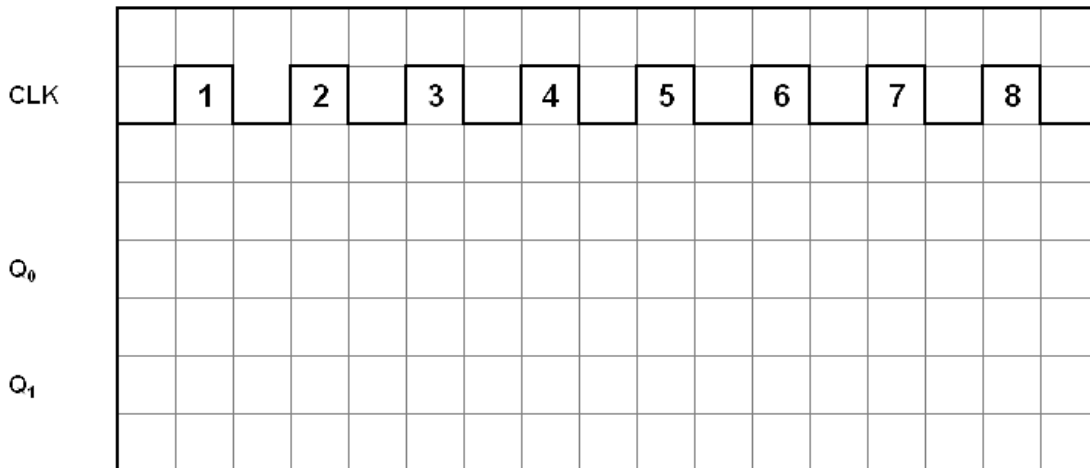
Συνολικός χρόνος αποθήκευσης = 4 T = 4 x 5 ns = 20 ns

14. Στο σχήμα 5 δίνεται το λογικό κύκλωμα ασύγχρονου δυαδικού απαριθμητή 2-bit που μετρά προς τα πάνω.

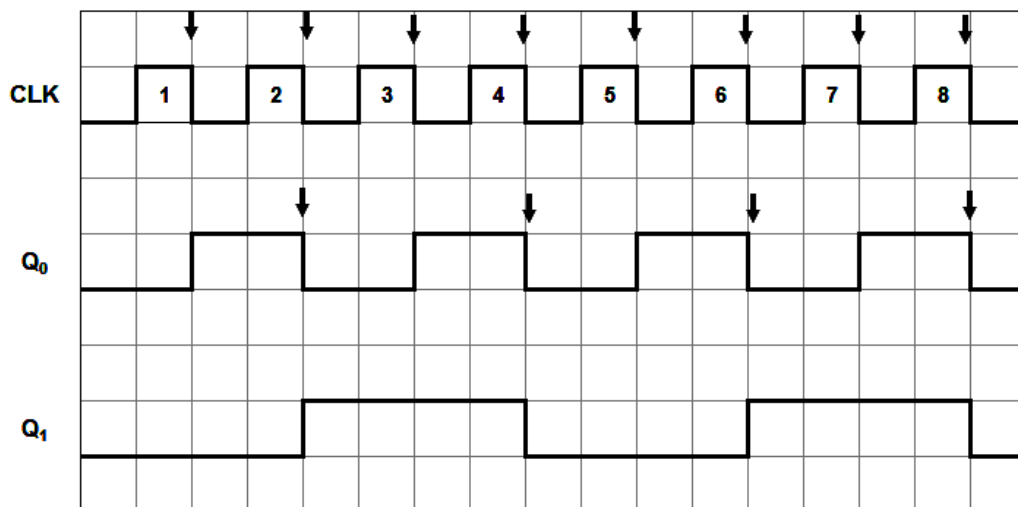


Σχήμα 5

- (α) Να σχεδιάσετε τα χρονικά διαγράμματα των δύο εξόδων του, για οκτώ (8) ωρολογιακούς παλμούς (CLK). Η αρχική κατάσταση του απαριθμητή είναι η RESET.



Λύση



- (β) Αν η συχνότητα των ωρολογιακών παλμών (CLK) είναι 500 kHz, να υπολογίσετε τη συχνότητα των παλμών στην έξοδο Q του κάθε Φλιπ-Φλοπ, του λογικού κυκλώματος της ερώτησης 14(α).

Λύση

$$f_{Q0} = 250 \text{ kHz}$$

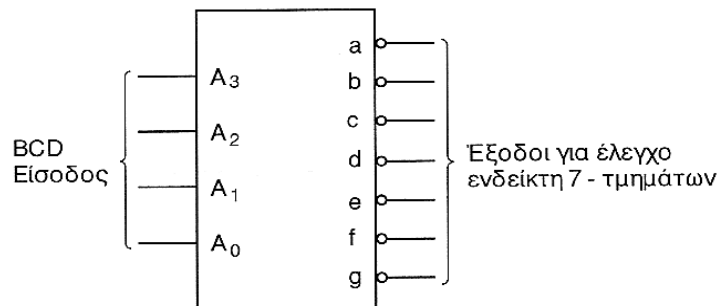
$$f_{Q1} = 125 \text{ kHz}$$

- (γ) Να αναφέρετε πιο τύπο JK Φλιπ Φλοπ θα πρέπει να χρησιμοποιήσετε για να αλλάξετε την κατεύθυνση αρίθμησης του απαριθμητή.

Λύση

JK Φλιπ Φλοπ χρονιζόμενα στα θετικά μέτωπα των παλμών του ωρολογίου (CLK).

15. Στο σχήμα 6 δίνεται το σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει τον ενδείκτη 7-τμημάτων. Οι εξόδοι του αποκωδικοποιητή είναι ενεργές στο λογικό 0.



Σχήμα 6

- (α) Να αναφέρετε τον αριθμό που θα παριστάνει ο ενδείκτης 7-τμημάτων που συνδέεται στην έξοδο του αποκωδικοποιητή, εάν η λογική κατάσταση των εισόδων του, είναι $A_3A_2A_1A_0 = 0101$.

Λύση

Αριθμός = 5

- (β) Να δώσετε τη λογική κατάσταση των εξόδων του αποκωδικοποιητή.

Λύση

$$a = 0 \quad b = 1 \quad c = 0 \quad d = 0$$

$$e = 1 \quad f = 0 \quad g = 0$$

- (γ) Να αναφέρετε ποιο τύπο 7-τμηματικής μονάδας ένδειξης LED θα χρησιμοποιούσατε στην έξοδο του αποκωδικοποιητή.

Λύση

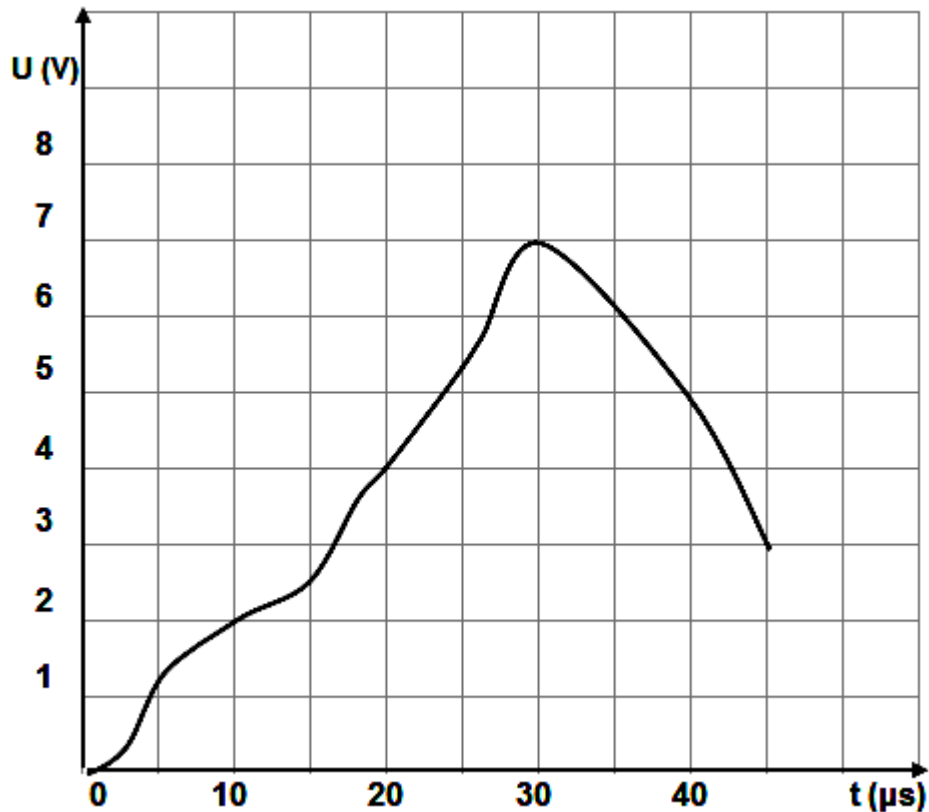
Κοινής Ανόδου

(δ) Να αναφέρετε γιατί οι οθόνες LCD έχουν καθιερωθεί σε όργανα και συσκευές που εργάζονται με μπαταρίες αντί των οθονών LED.

Λύση

Οι οθόνες LCD έχουν πολύ μικρή κατανάλωση ενέργειας και άρα προτιμούνται σε όργανα και συσκευές που εργάζονται με μπαταρίες.

16. Δίνεται το αναλογικό σήμα του σχήματος 7.



Σχήμα 7

(α) Να το μετατρέψετε σε ψηφιακό σήμα 3-bit και να συμπληρώσετε τον πίνακα 1. Η συχνότητα δειγματοληψίας είναι κάθε 10 μs και το ψηφίο με την ελάχιστη σημαντική αξία (LSB) αντιστοιχεί με 1 V.

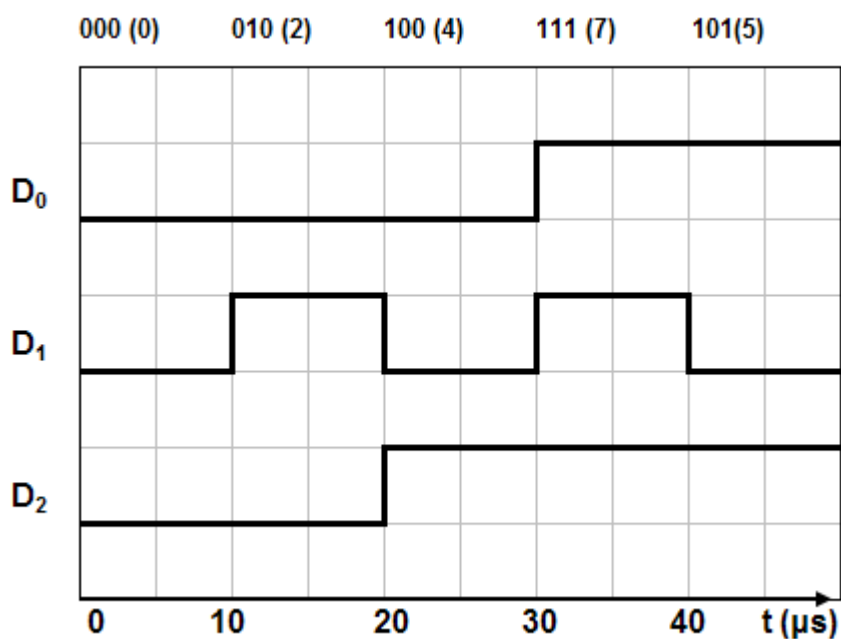
Λύση

Χρόνος (μs)	Αναλογικό Σήμα (V)	Ψηφιακό Σήμα		
		D ₂	D ₁	D ₀
0	0	0	0	0
10	2	0	1	0
20	4	1	0	0
30	7	1	1	1
40	5	1	0	1

Πίνακας 1

(β) Στο χρονικό διάγραμμα του σχήματος 8 να σχεδιάσετε το αντίστοιχο ψηφιακό σήμα.

Λύση

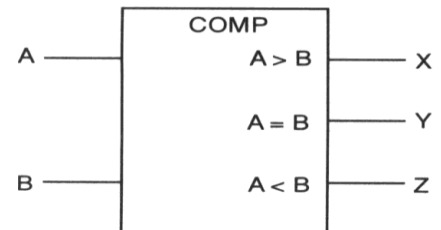


Σχήμα 8

ΜΕΡΟΣ Γ΄ - Το μέρος Γ΄ αποτελείται από 2 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 10 μονάδες.

17. Στο σχήμα 9 δίνεται το λογικό σύμβολο και ο πίνακας αληθείας του Ψηφιακού Συγκριτή 1-bit, ο οποίος συγκρίνει δύο δυαδικούς αριθμούς.

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		
A	B	X	Y	Z
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0



Σχήμα 9

(α) Να γράψετε τις λογικές συναρτήσεις για τις τρεις εξόδους X, Y και Z:

Λύση

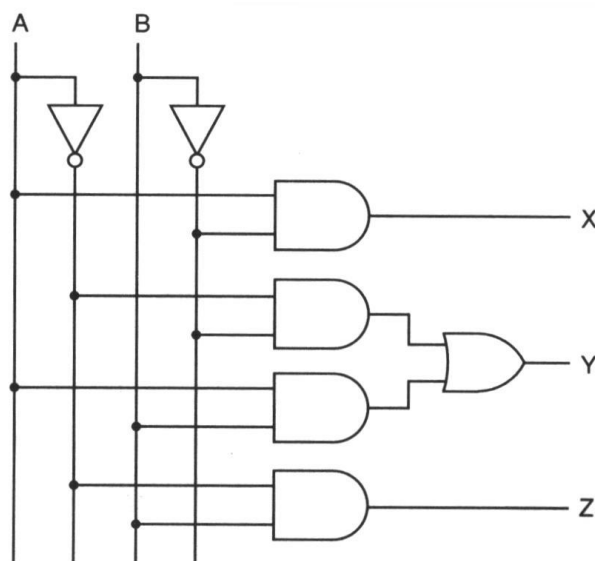
$$X = A \cdot \bar{B}$$

$$Y = \bar{A} \cdot \bar{B} + A \cdot B \quad \text{ή} \quad Y = \overline{A \oplus B}$$

$$Z = \bar{A} \cdot B$$

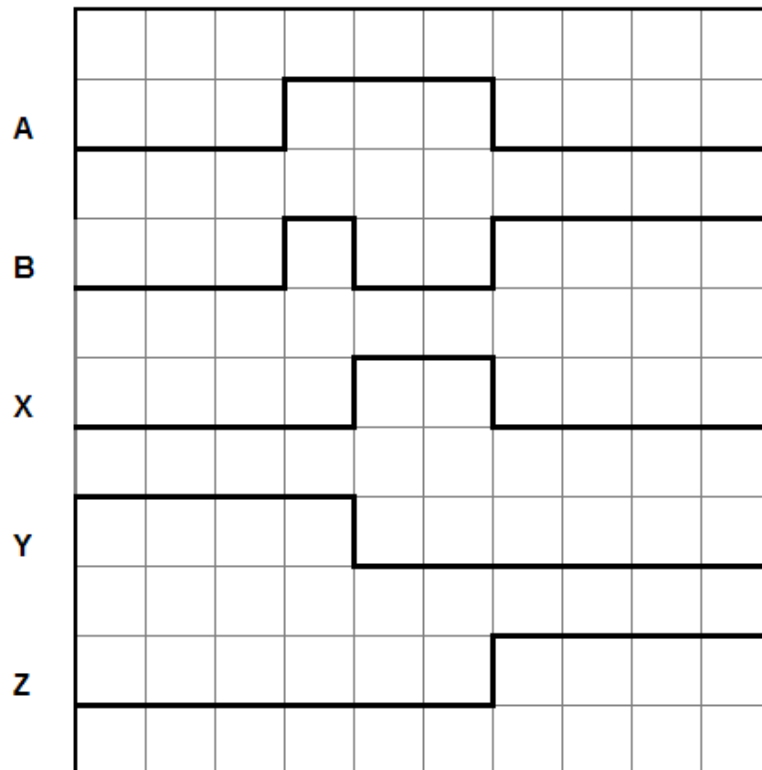
(β) Να σχεδιάσετε το λογικό κύκλωμα του συγκριτή.

Λύση



(γ) Στο σχήμα 10 δίνονται τα χρονικά διαγράμματα που εφαρμόζονται στις εισόδους ψηφιακού συγκριτή 1-bit. Να σχεδιάσετε τα χρονικά διαγράμματα των τριών εξόδων X, Y και Z του συγκριτή.

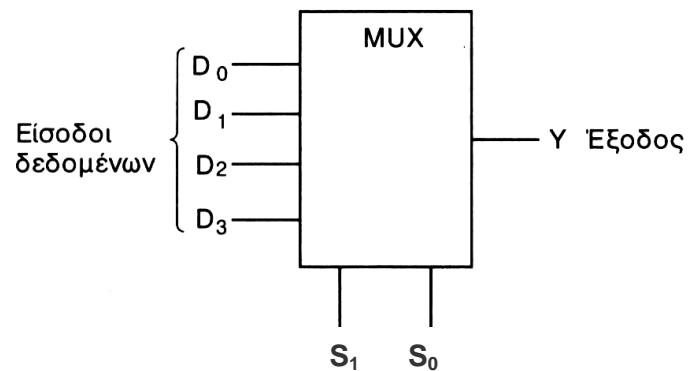
Λύση



A = B	A > B	B > A
Y = 1	X = 1	Z = 1

Σχήμα 10

18. Στο σχήμα 11 δίνεται το λογικό σύμβολο του πολυπλέκτη με 4 γραμμές εισόδου δεδομένων και δύο γραμμές επιλογής εισόδου S_0 και S_1 .



Σχήμα 11

- (α) Να συμπληρώσετε τον Πίνακα Αληθείας του πολυπλέκτη.

Λύση

Είσοδοι		Έξοδος
S_1	S_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

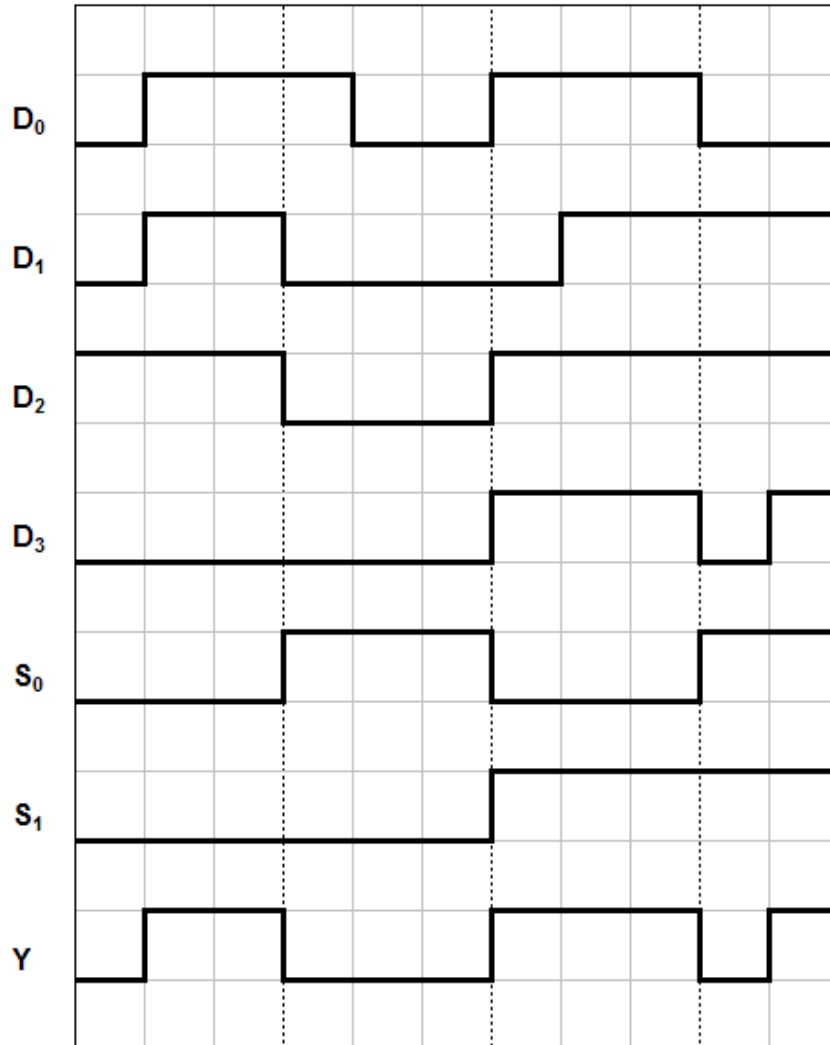
- (β) Να δώσετε τη λογική συνάρτηση της εξόδου του πολυπλέκτη.

Λύση

$$Y = \overline{S_1} \overline{S_0} D_0 + \overline{S_1} S_0 D_1 + S_1 \overline{S_0} D_2 + S_1 S_0 D_3$$

(γ) Στο σχήμα 12 δίνονται τα χρονικά διαγράμματα των εισόδων πολυπλέκτη με 4 γραμμές εισόδου δεδομένων και δύο γραμμές επιλογής εισόδου S_0 και S_1 . Να σχεδιάσετε το λογικό διάγραμμα της εξόδου Y του πολυπλέκτη.

Λύση



$S_1 S_0 = 00$	$S_1 S_0 = 01$	$S_1 S_0 = 10$	$S_1 S_0 = 11$
$Y = D_0$	$Y = D_1$	$Y = D_2$	$Y = D_3$

Σχήμα 12