

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΠΟΛΙΤΙΣΜΟΥ, ΑΘΛΗΤΙΣΜΟΥ ΚΑΙ ΝΕΟΛΑΙΑΣ  
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΕΚΠΑΙΔΕΥΣΗΣ  
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

**ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2021**

**ΤΕΧΝΟΛΟΓΙΑ ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ**

**Μάθημα : Ψηφιακά Ηλεκτρονικά II (410)**  
**Ημερομηνία : Δευτέρα, 07 Ιουνίου 2021**  
**Ωρα εξέτασης : 08:00 – 10:30**

**Επιτρεπόμενη διάρκεια γραπτού 2,5 ώρες (150 λεπτά)**

**ΤΟ ΕΞΕΤΑΣΤΙΚΟ ΔΟΚΙΜΙΟ ΑΠΟΤΕΛΕΙΤΑΙ ΑΠΟ ΕΙΚΟΣΙ ΜΙΑ (21) ΣΕΛΙΔΕΣ ΚΑΙ ΤΡΙΑ (3) ΜΕΡΗ (Α΄, Β΄ ΚΑΙ Γ΄)**

**ΟΔΗΓΙΕΣ:**

1. Να απαντήσετε σε όλες τις ερωτήσεις.
2. Οι ερωτήσεις να απαντηθούν στο εξεταστικό δοκίμιο.
3. Απαγορεύεται η χρήση διορθωτικού υγρού ή διορθωτικής ταινίας.
4. Τα σχεδιαγράμματα μπορούν να σχεδιαστούν με μολύβι.
5. Επιτρέπεται η χρήση μη προγραμματιζόμενης υπολογιστικής μηχανής.
6. Στο τέλος του εξεταστικού δοκιμίου δίνεται τυπολόγιο.



**ΜΕΡΟΣ Α΄** - Το μέρος Α αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. (α) Έναν από τα χαρακτηριστικά των λογικών οικογενειών, είναι η «καθυστέρηση διάδοσης σήματος» (propagation delay). Να εξηγήσετε τι εννοείται με τον όρο αυτό.

.....

.....

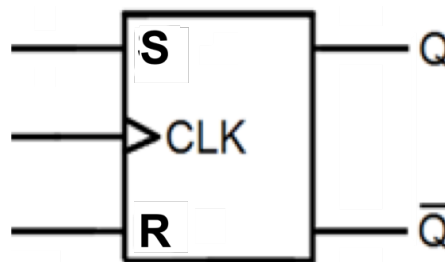
.....

- (β) Από τα πιο κάτω να επιλέξετε δύο (2) πλεονεκτήματα των ολοκληρωμένων κυκλωμάτων (ICs) της λογικής οικογένειας CMOS, έναντι των άλλων λογικών οικογενειών:

- (1) Διαθέτουν είσοδο ωρολογίου (CLK)
- (2) Έχουν πολύ μικρή κατανάλωση ισχύος
- (3) Είναι ευαίσθητα στον στατικό ηλεκτρισμό
- (4) Έχουν κυμαινόμενη τάση τροφοδοσίας από 3 V μέχρι 15 V.

.....

2. Να μετατρέψετε το SR Φλιπ Φλοπ του Σχήματος 1, έτσι που να λειτουργεί ως D Φλιπ Φλοπ.



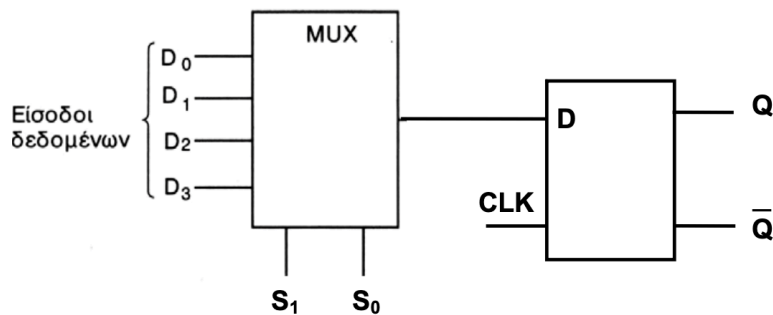
**Σχήμα 1**

3. Να συμπληρώσετε τον Πίνακα 1 πιο κάτω, που αφορά στο κύκλωμα παραγωγής ψηφίου ισοτιμίας.

ΚΩΔΙΚΑΣ ΔΕΔΟΜΕΝΩΝ	ΜΟΝΟ ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ	ΖΥΓΟ ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ
1 1 0 1 1 1 0 0		
1 1 0 1 0 0 1 1		
1 0 0 0 1 1 0 1		
1 1 0 1 1 1 1 1		

**Πίνακας 1**

4. Στο Σχήμα 2 δίνεται μπλοκ διάγραμμα πολυπλέκτη η έξοδος του οποίου συνδέεται με την είσοδο ενός D Φλιπ Φλοπ.



**Σχήμα 2**

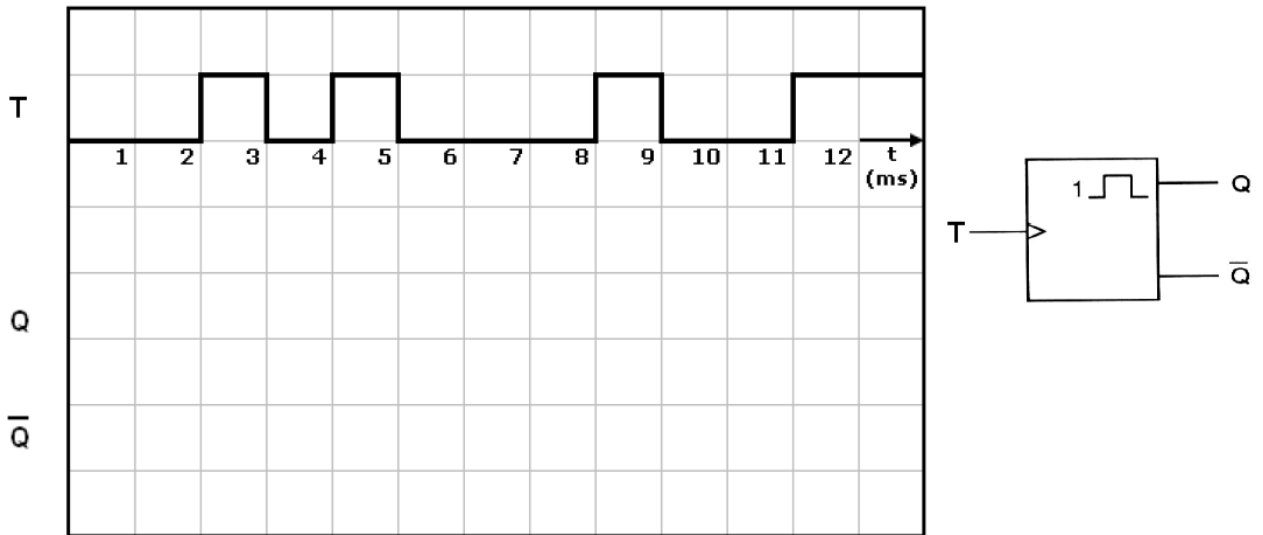
Στον Πίνακα 2 να συμπληρώσετε τη στήλη για την έξοδο Q του D Φλιπ Φλοπ του Σχήματος 2.

A/A	S <sub>1</sub>	S <sub>0</sub>	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	CLK	Q
1	0	1	1	1	0	0	1	
2	1	1	1	0	1	0	1	
3	0	0	0	1	1	0	1	
4	1	0	0	0	1	1	1	

**Πίνακας 2**

5. Στο Σχήμα 3 δίνονται το λογικό σύμβολο και το χρονικό διάγραμμα της εισόδου (T) μη επαναδιεγείρομένου μονοσταθί πολυδονητή, ο οποίος έχει χρόνο βολής 3 ms. Η σταθερή κατάσταση του πολυδονητή είναι το λογικό 0.

Να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων του πιο πάνω πολυδονητή.



**Σχήμα 3**

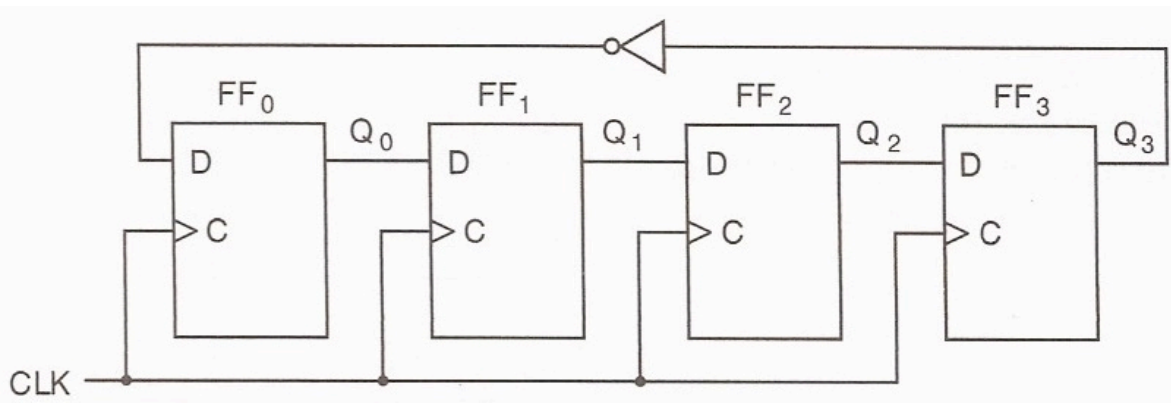
6. Απαριθμητής μετρά από το 0 μέχρι το 130. Να υπολογίσετε:  
 (α) τον αριθμό των Φλιπ Φλοπ από τα οποία αποτελείται ο απαριθμητής.

.....  
 .....  
 .....

- (β) το μέγιστο μέτρο αρίθμησης (maxMOD) του απαριθμητή.

.....  
 .....

7. (α) Να δώσετε την ονομασία του κυκλώματος του Σχήματος 4.



**Σχήμα 4**

.....

(β) Να υπολογίσετε τον αριθμό των D Φλιπ Φλοπ αντίστοιχου κυκλώματος με αυτό του Σχήματος 4, στο οποίο η περίοδος των ωρολογιακών παλμών να είναι 500 ns και η περίοδος των παλμών στην έξοδο του κυκλώματος να είναι 8 μs.

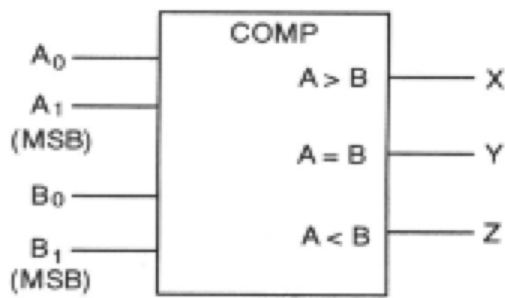
.....

.....

.....

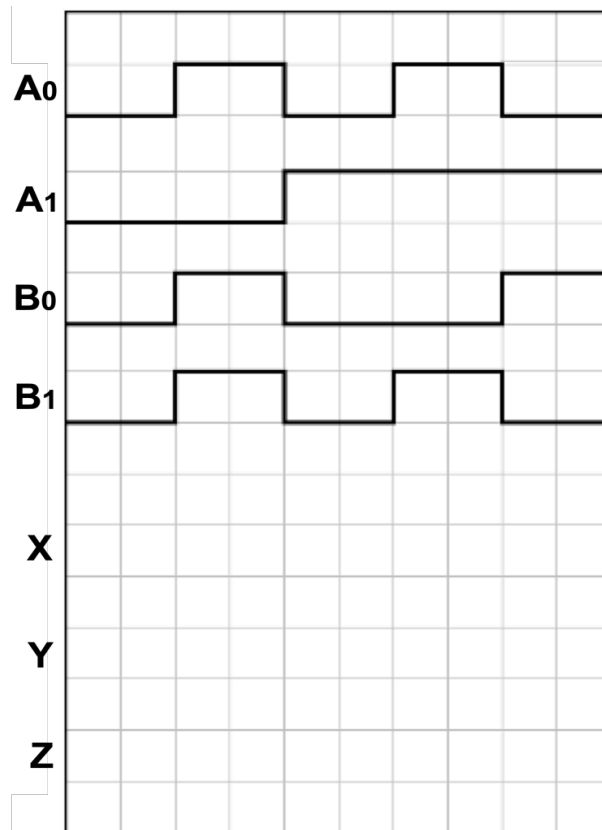
.....

8. Στο Σχήμα 5 δίνεται το λογικό σύμβολο του ψηφιακού συγκριτή 2-bit.



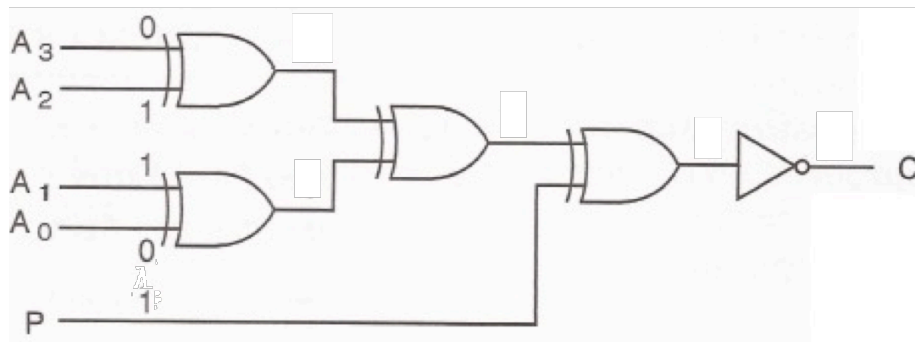
**Σχήμα 5**

Στο Σχήμα 6 δίνονται τα χρονικά διαγράμματα των εισόδων του εν λόγω συγκριτή. Να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων του (X, Y, Z).



**Σχήμα 6**

9. Στο Σχήμα 7 δίνεται κύκλωμα ψηφίου ισοτιμίας σε κώδικα των 5-bit.



**Σχήμα 7**

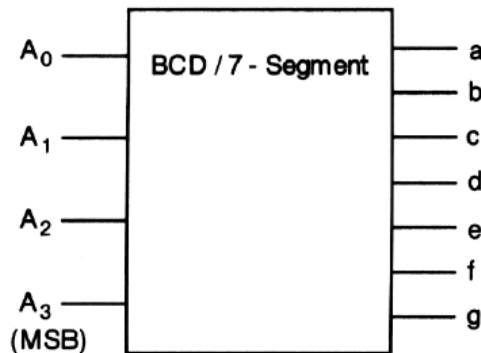
(α) Να γράψετε τη λογική εξίσωση της εξόδου του κυκλώματος του Σχήματος 7.

.....

(β) Να καθορίσετε αν το κύκλωμα του Σχήματος 7 είναι κύκλωμα παραγωγής ή κύκλωμα ελέγχου ψηφίου ισοτιμίας.

.....

10. (α) Στο Σχήμα 8 δίνεται το λογικό σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει έναν ενδείκτη 7- τμημάτων.



**Σχήμα 8**

Να δώσετε τον κώδικα BCD που εφαρμόζεται στην είσοδο του αποκωδικοποιητή, όταν οι λογικές καταστάσεις των εξόδων του είναι:

a = 1   b = 1   c = 1   d = 1   e = 0   f = 0   g = 1

.....

Κώδικας BCD = .....

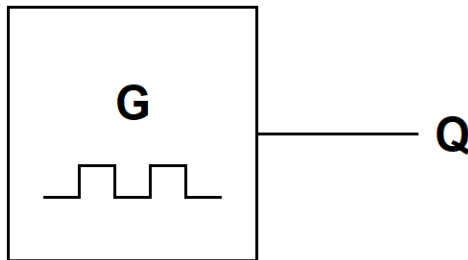
(β) Να αναφέρετε έναν πλεονέκτημα των οθονών LCD έναντι των LED.

.....

.....

.....

11. Στο Σχήμα 9 δίνεται το λογικό σύμβολο ενός ασταθή πολυδονητή.



**Σχήμα 9**

Οι παλμοί στην έξοδο (Q) του πολυδονητή έχουν συχνότητα  $f = 125 \text{ kHz}$  και ο λόγος (ratio) των τιμών  $t_H / t_L$  ισούται 0,6.

Να υπολογίσετε τον κύκλο δράσης  $d$  των παλμών του ασταθή πολυδονητή.

.....

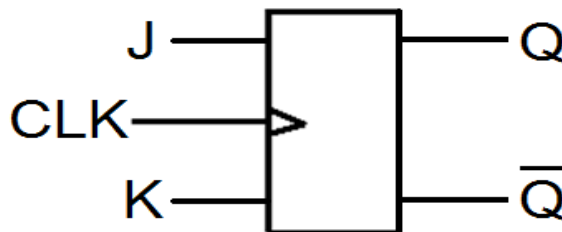
.....

.....

.....

.....

12. Στο Σχήμα 10 δίνεται το λογικό σύμβολο ενός σύγχρονου JK Φλιπ Φλοπ. Να συμπληρώσετε τις κενές στήλες στον πίνακα αληθείας (Πίνακας 3) του Φλιπ Φλοπ του Σχήματος 10.



**Σχήμα 10**

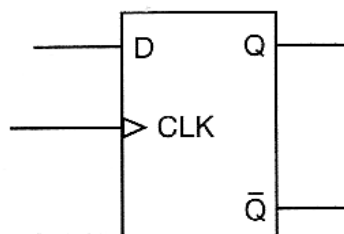


Είσοδοι			Έξοδοι		
CLK	J	K	$Q_{n+1}$	$\bar{Q}_{n+1}$	Κατάσταση
	0	0			
	0	1			
	1	0			
	1	1			

Πίνακας 3

**ΜΕΡΟΣ Β΄** - Το μέρος Β αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. Στο Σχήμα 11 δίνεται το λογικό σύμβολο του D Φλιπ Φλοπ.



Σχήμα 11

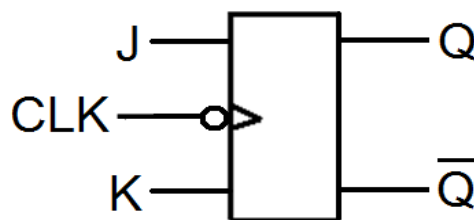
(α) Με τη χρήση του D Φλιπ Φλοπ του Σχήματος 11, να σχεδιάσετε το λογικό κύκλωμα καταχωρητή διαδοχικής εισόδου διαδοχικής εξόδου (SISO) 4-bit.

(β) Να συμπληρώσετε για τέσσερις παλμούς χρονισμού τον πίνακα λειτουργίας (Πίνακας 4) **κυκλικού απαριθμητή**, στον οποίο βρίσκεται ήδη καταχωρημένος ο κώδικας δεδομένων 0010.

Παλμός Χρονισμού	Q0	Q1	Q2	Q3
0	0	0	1	0
1				
2				
3				
4				

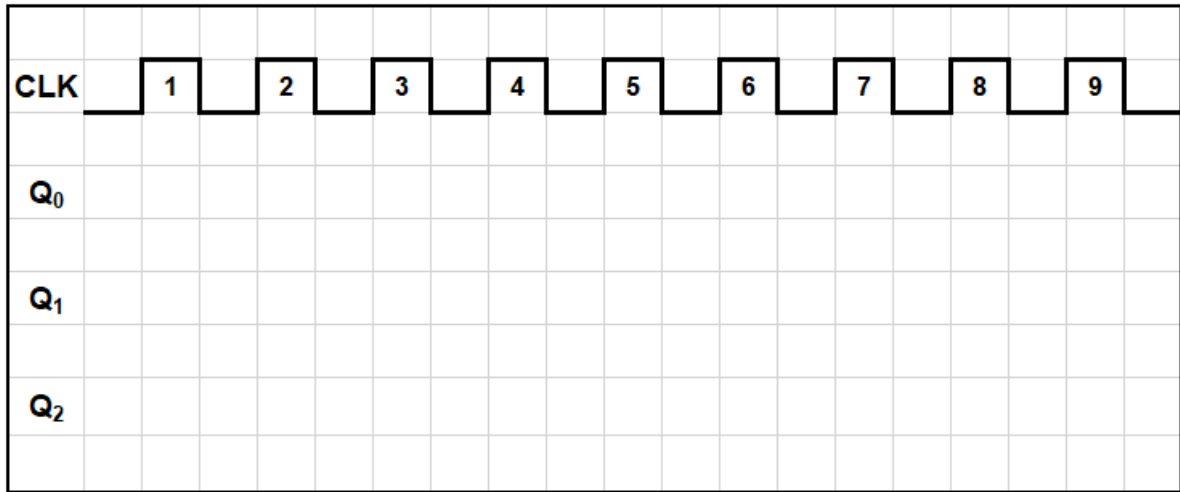
Πίνακας 4

14. (α) Με τη χρήση του σύγχρονου JK Φλιπ Φλοπ του Σχήματος 12, να σχεδιάσετε κύκλωμα σύγχρονου δυαδικού απαριθμητή 2-bit που να μετρά προς τα πάνω.



Σχήμα 12

(β) Στο Σχήμα 13 να σχεδιάσετε για εννιά ωρολογιακούς παλμούς τα χρονικά διαγράμματα των εξόδων ( $Q_0$ ,  $Q_1$ ,  $Q_2$ ) ενός σύγχρονου δυαδικού απαριθμητή **3-bit** που μετρά προς τα πάνω. Ο απαριθμητής αποτελείται από JK Φλιπ Φλοπ τα οποία χρονίζονται στα αρνητικά μέτωπα των ωρολογιακών παλμών. Η αρχική κατάσταση του απαριθμητή είναι το λογικό 0 (RESET).



**Σχήμα 13**

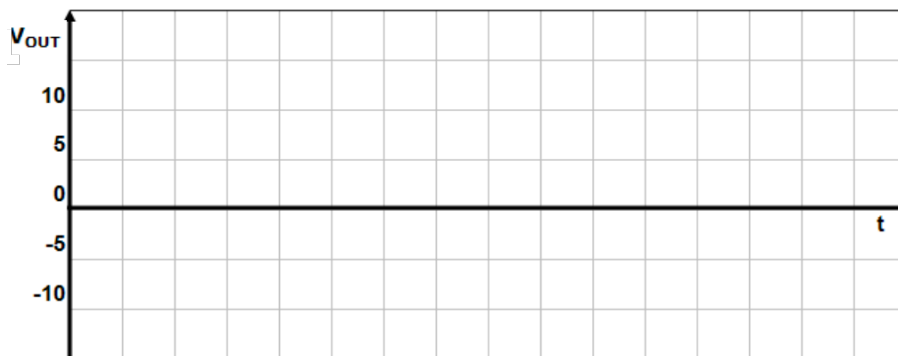
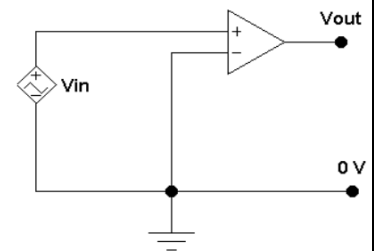
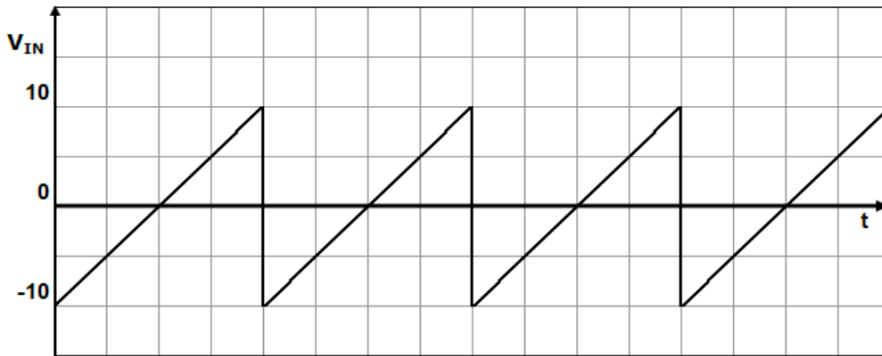
(γ) Να αναφέρετε μία διαφορά μεταξύ σύγχρονων και ασύγχρονων δυαδικών απαριθμητών.

.....

.....

.....

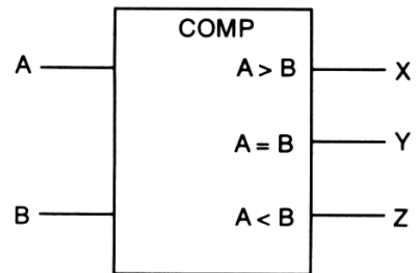
15. (α) Στο Σχήμα 14 δίνεται το κύκλωμα συγκριτή τάσης και το σήμα που εφαρμόζεται στη θετική είσοδό του. Να σχεδιάσετε το σήμα της εξόδου του ( $V_{OUT}$ ), αν οι μέγιστες τιμές εξόδου του συγκριτή είναι  $\pm 5\text{ V}$ .



**Σχήμα 14**

(β) Στο Σχήμα 15 δίνονται ο πίνακας αληθείας και το λογικό σύμβολο του ψηφιακού συγκριτή 1-bit.

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		
A	B	X	Y	Z
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0



**Σχήμα 15**

Να γράψετε τις λογικές συναρτήσεις για τον ψηφιακό συγκριτή 1-bit.

X = .....

Y = .....

Z = .....

(γ) Να σχεδιάσετε το λογικό κύκλωμα του ψηφιακού συγκριτή 1-bit.

16. (α) Να σχεδιάσετε το λογικό σύμβολο αποκωδικοποιητή δύο γραμμών σε τέσσερις (2/4), με τις εξόδους ενεργές στο λογικό 0.

(β) Να συμπληρώσετε τον πιο κάτω πίνακα αληθείας (Πίνακας 5) του αποκωδικοποιητή της ερώτησης 16(α).

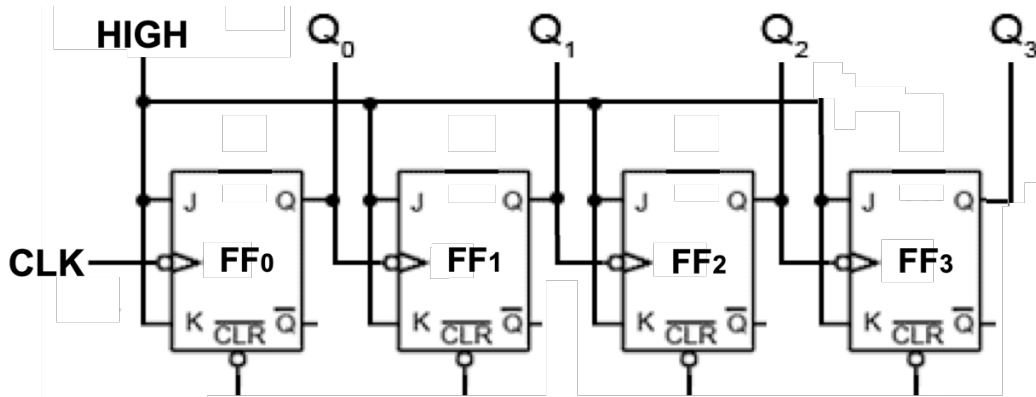
Είσοδοι		Έξοδοι			
A <sub>1</sub>	A <sub>0</sub>	Y <sub>0</sub>	Y <sub>1</sub>	Y <sub>2</sub>	Y <sub>3</sub>
0	0				
0	1				
1	0				
1	1				

**Πίνακας 5**

(γ) Να σχεδιάσετε το λογικό κύκλωμα του αποκωδικοποιητή της ερώτησης 16(α).

**ΜΕΡΟΣ Γ' - Το μέρος Γ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.**

17. Στο Σχήμα 16 δίνεται το κύκλωμα ασύγχρονου δυαδικού απαριθμητή.



**Σχήμα 16**

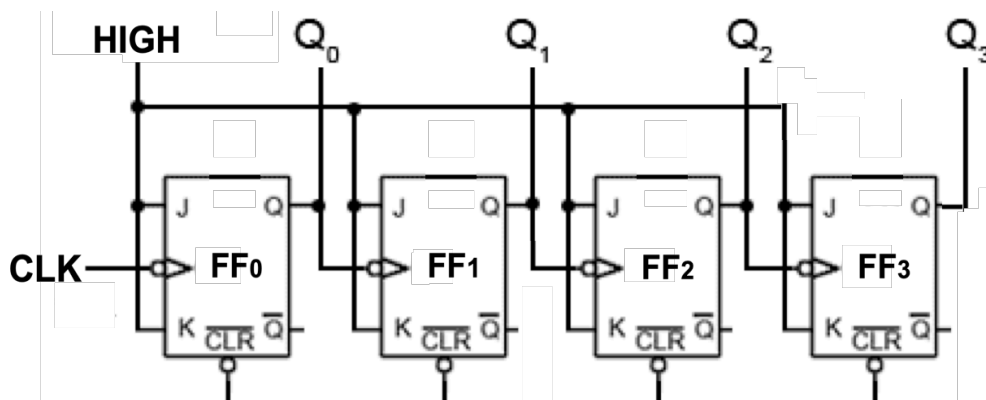
(α) Να υπολογίσετε τον μέγιστο αριθμό αρίθμησης του απαριθμητή.

.....

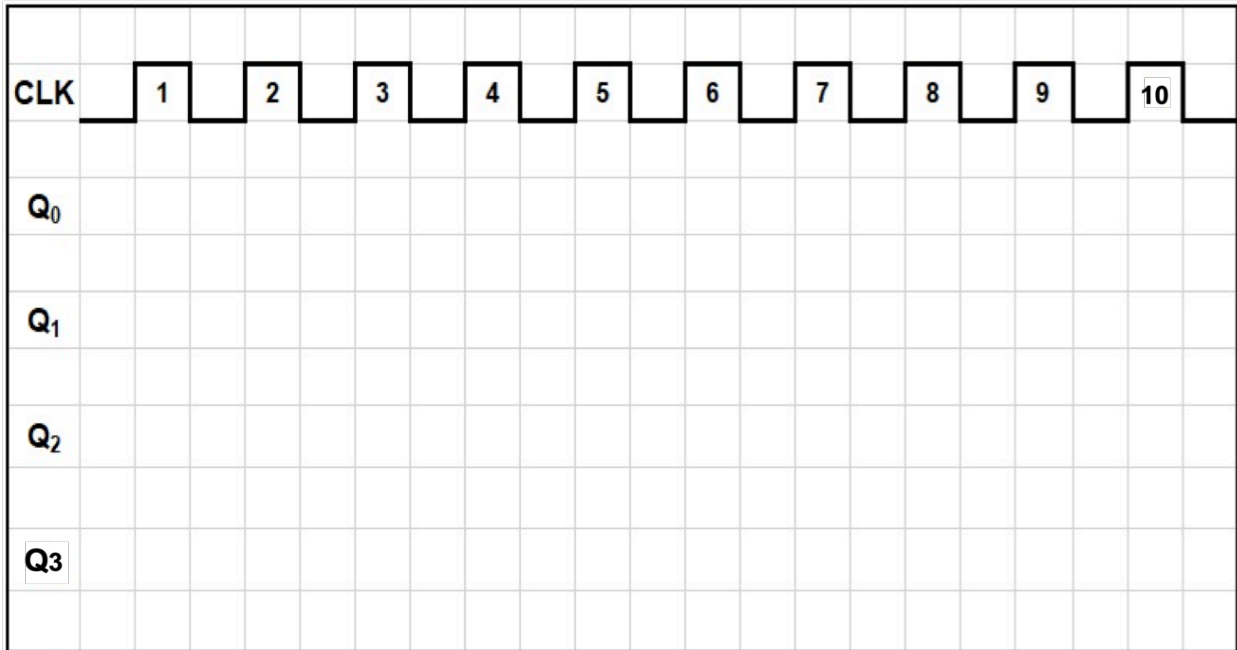
.....

.....

(β) Πιο κάτω επαναλαμβάνεται το κύκλωμα του Σχήματος 16. Να κάμετε τις κατάλληλες αλλαγές / μετατροπές, ώστε να μετατραπεί σε κύκλωμα ασύγχρονου δεκαδικού απαριθμητή.



(γ) Στο Σχήμα 17 δίνεται το χρονικό διάγραμμα των ωρολογιακών παλμών (CLK) που εφαρμόζονται στο κύκλωμα ασύγχρονου δεκαδικού απαριθμητή. Να σχεδιάσετε τα αντίστοιχα χρονικά διαγράμματα των εξόδων ( $Q_0$ ,  $Q_1$ ,  $Q_2$ ,  $Q_3$ ) των Φλιπ Φλοπ του απαριθμητή. Η αρχική κατάσταση του απαριθμητή είναι RESET.

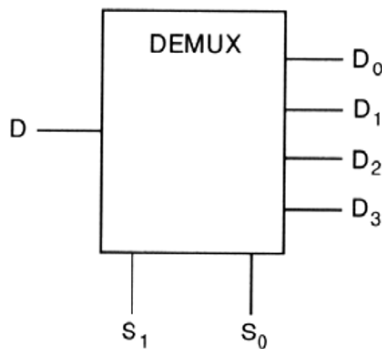


**Σχήμα 17**

(δ) Να υπολογίσετε τη μέγιστη συχνότητα αρίθμησης ασύγχρονου απαριθμητή με 8 Φλιπ Φλοπ, όταν ο χρόνος καθυστέρησης για κάθε Φλιπ Φλοπ είναι 25 ns.

.....  
 .....

18. Στο Σχήμα 18 δίνεται το λογικό σύμβολο αποπολυπλέκτη μιας γραμμής σε τέσσερις.



**Σχήμα 18**

(α) Να συμπληρώσετε τον πίνακα αληθείας (Πίνακας 6) του αποπολυπλέκτη του Σχήματος 18.

Είσοδοι Επιλογής		Έξοδοι			
$S_1$	$S_0$	$D_0$	$D_1$	$D_2$	$D_3$
0	0				
0	1				
1	0				
1	1				

**Πίνακας 6**

(β) Να δώσετε τις λογικές εξισώσεις των εξόδων του αποπολυπλέκτη του Σχήματος 18.

.....

.....

.....

.....

(γ) Να σχεδιάσετε το λογικό κύκλωμα του αποπολυπλέκτη του Σχήματος 18.



(δ) Να υπολογίσετε τον αριθμό γραμμών επιλογής εξόδου σε αποπολυπλέκτη με 16 γραμμές εξόδου.

.....

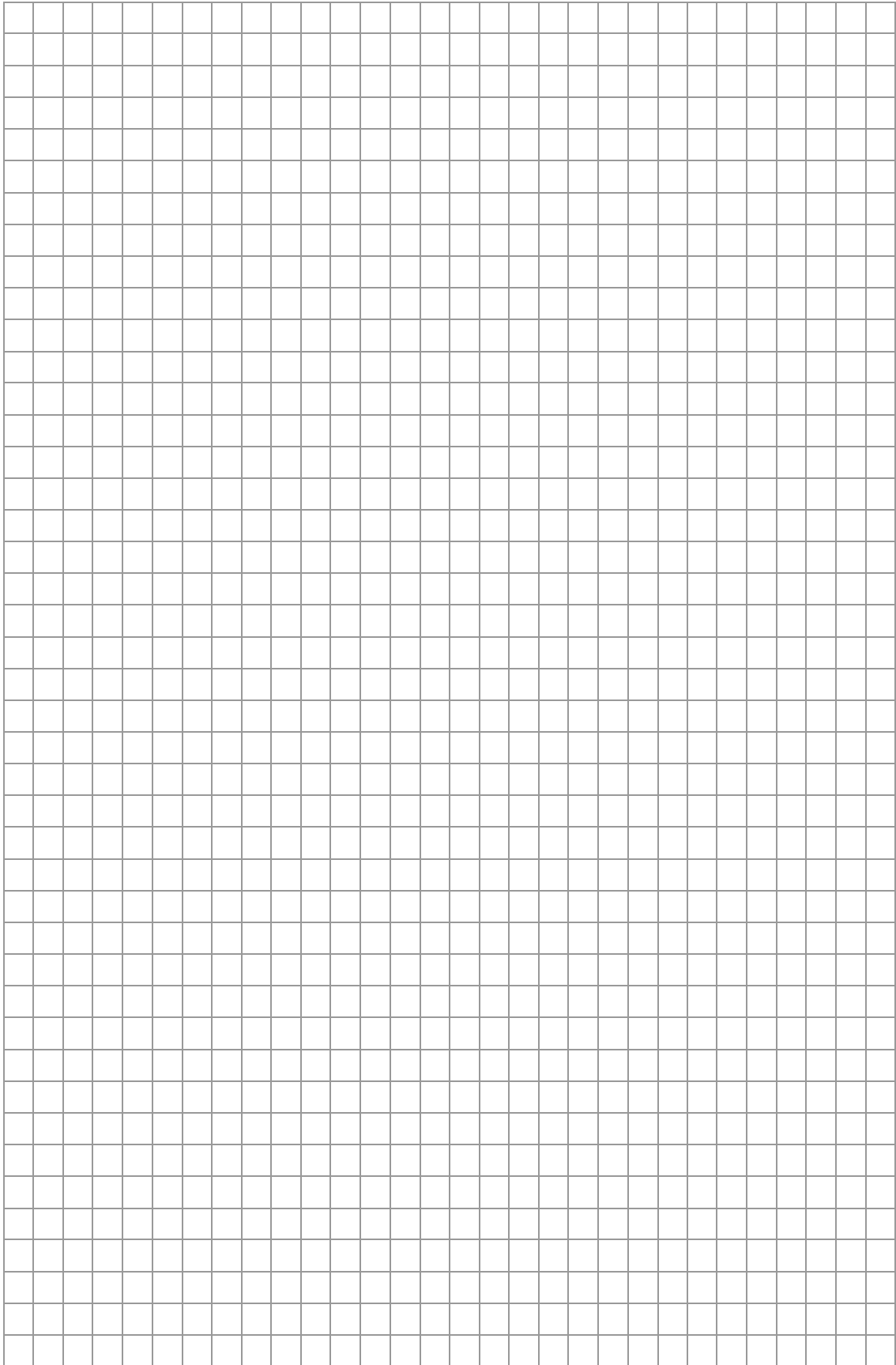
.....

.....

----- ΤΕΛΟΣ ΕΞΕΤΑΣΗΣ -----

# ΠΡΟΧΕΙΡΟ

# ΠΡΟΧΕΙΡΟ



<b>ΤΥΠΟΛΟΓΙΟ ΓΙΑ ΤΟ ΜΑΘΗΜΑ «ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ»</b>	
<b>ΑΛΓΕΒΡΑ ΤΟΥ ΜΠΟΥΛ (BOOLE)</b>	
Αξίωμα της αντιμετάθεσης	$A + B = B + A$ $A \cdot B = B \cdot A$
Αξίωμα του προσεταιρισμού	$A \cdot B \cdot C = (A \cdot B) \cdot C = A \cdot (B \cdot C)$ $A + B + C = (A + B) + C = A + (B + C)$
Αξίωμα του επιμερισμού	$A \cdot (B + C) = A \cdot B + A \cdot C$
Κανόνες της άλγεβρας Boole	$A + 0 = A$ $A + 1 = 1$ $A \cdot 0 = 0$ $A \cdot 1 = A$ $A + A = A$ $A + \bar{A} = 1$ $A \cdot A = A$ $A \cdot \bar{A} = 0$ $\bar{\bar{A}} = A$ $A + A \cdot B = A$ $A + \bar{A} \cdot B = A + B$ $(A + B) \cdot (A + C) = A + B \cdot C$
Θεώρημα Ντε Μόργαν (De Morgan)	$\overline{A + B} = \bar{A} \cdot \bar{B}$ $\overline{A \cdot B} = \bar{A} + \bar{B}$
<b>ΠΟΛΥΔΟΝΗΤΕΣ</b>	
Κύκλος Δράσης	$d = \frac{t_H}{T} \times 100\%$
Περίοδος παλμών	$T = t_H + t_L = 1 / f$
<b>ΑΠΑΡΙΘΜΗΤΕΣ</b>	
Μέγιστο μέτρο απαριθμητή	$max\ MOD = 2^v$
Μέγιστη συχνότητα αρίθμησης ασύγχρονου απαριθμητή	$f_{max} = \frac{1}{vt_p}$
Συχνότητα παλμών στην έξοδο που δίνει το περισσότερο σημαντικό ψηφίο απαριθμητή με μέτρο N	$f = \frac{f_{CLK}}{N}$
<b>ΚΑΤΑΧΩΡΗΤΕΣ</b>	
Συχνότητα κυκλικού απαριθμητή	$f_Q = \frac{1}{N} f_{CLK}$
Συχνότητα απαριθμητή Τζόνσον (Johnson)	$f_Q = \frac{1}{2N} f_{CLK}$

ΛΟΓΙΚΕΣ ΠΥΛΕΣ	
Πύλη AND	$Y = A \cdot B$
Πύλη OR	$Y = A + B$
Πύλη NOT	$Y = \bar{A}$
Πύλη NAND	$Y = \overline{A \cdot B}$
Πύλη NOR	$Y = \overline{A + B}$
Πύλη EXCLUSIVE OR	$Y = A \oplus B$
Πύλη EXCLUSIVE NOR	$Y = \overline{A \oplus B}$
ΜΕΤΑΤΡΟΠΕΙΣ D/A	
Ανάλυση	$\frac{FS}{2^N - 1}$
Ανάλυση %	$\frac{1}{2^N - 1} 100\%$
Μετατροπέας D/A με σταθμισμένες αντιστάσεις και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{8R} (8D_3 + 4D_2 + 2D_1 + D_0)$
Μετατροπείς D/A με κλιμακωτό δίκτυο αντιστάσεων και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{2R} (D_3 + \frac{1}{2}D_2 + \frac{1}{4}D_1 + \frac{1}{8}D_0)$
	$U_{out} = \frac{U_{in}}{2} (D_3 + \frac{1}{2}D_2 + \frac{1}{4}D_1 + \frac{1}{8}D_0)$