

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΠΟΛΙΤΙΣΜΟΥ, ΑΘΛΗΤΙΣΜΟΥ ΚΑΙ ΝΕΟΛΑΙΑΣ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2021

ΤΕΧΝΟΛΟΓΙΑ ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΠΡΑΚΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Τεχνολογία και Εργαστήρια Ψηφιακών Ηλεκτρονικών II (510)
Ημερομηνία : Παρασκευή, 04 Ιουνίου 2021
Ωρα εξέτασης : 08:00 – 10:30

Λύσεις

ΜΕΡΟΣ Α' - Το μέρος Α αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. (α) Να ονομάσετε την κατηγορία κυκλωμάτων που κατασκευάζονται με Φλιπ Φλοπ.

Ονομασία κατηγορίας κυκλωμάτων με Φλιπ Φλοπ: Ακολουθιακά

- (β) Να αναφέρετε ποια ιδιότητα εξασφαλίζει / προσφέρει στα κυκλώματα αυτά η χρήση των Φλιπ Φλοπ.

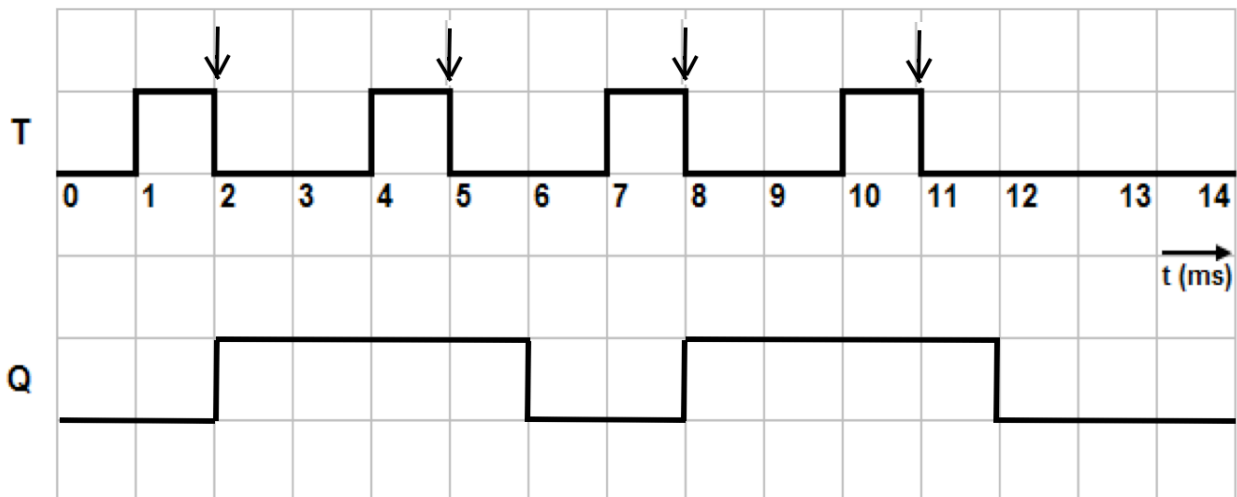
Η χρήση των Φλιπ Φλοπ στα κυκλώματα αυτά δίνει την ικανότητα μνήμης, εφόσον κάθε Φλιπ Φλοπ είναι στοιχείο μνήμης 1-bit.

- (γ) Να υπολογίσετε τον αριθμό των Φλιπ Φλοπ που απαιτούνται σε ένα κύκλωμα διαιρέτη συχνότητας, ώστε να μειωθεί η συχνότητα από 2 MHz στην είσοδό του σε 250 kHz στην έξοδο του κυκλώματος.

$$2 \text{ MHz} \xrightarrow{1 \text{ FF}} 1 \text{ MHz} \xrightarrow{2 \text{ FF}} 500 \text{ kHz} \xrightarrow{3 \text{ FF}} 250 \text{ kHz}$$

Χρειάζονται 3 Φλιπ Φλοπ

2. Στο Σχήμα 1 δίνεται το λογικό διάγραμμα εισόδου (T) μη επαδιεγειρόμενου μονοσταθής πολυδονητή με χρόνο βολής 4 ms και σταθερή κατάσταση το λογικό 0. Ο πολυδονητής διεγείρεται στα αρνητικά μέτωπα των παλμών διέγερσης. Να σχεδιάσετε στο ίδιο σχήμα το χρονικό διάγραμμα της εξόδου (Q) του πολυδονητή.



Σχήμα 1

3. (α) Να απαντήσετε ΣΩΣΤΟ ή ΛΑΘΟΣ στην ακόλουθη δήλωση.

«Το κύκλωμα του δυαδικά κωδικοποιημένου δεκαδικού απαριθμητή (BCD counter) έχει συνολικά δέκα Φλιπ Φλοπ.»

ΛΑΘΟΣ

(β) Δυαδικός απαριθμητής μετρά από το 0 μέχρι το 63. Από πόσα Φλιπ Φλοπ αποτελείται το κύκλωμά του;

Μέτρηση από 0 μέχρι 63 ισοδυναμεί με 64 λογικές καταστάσεις.

$$2^n = 64 \Rightarrow n = 6 \text{ Φλιπ Φλοπ}$$

(γ) Ποιο είναι το μέγιστο μέτρο (maxMOD) του απαριθμητή της ερώτησης 3(β);

$$\text{Μέγιστο μέτρο (max MOD)} = 2^n = 2^6 = 64$$

4. (α) Να ονομάσετε τον τύπο του τρανζίστορ από τον οποίο κατασκευάζεται η καθεμιά από τις πιο κάτω λογικές οικογένειες.

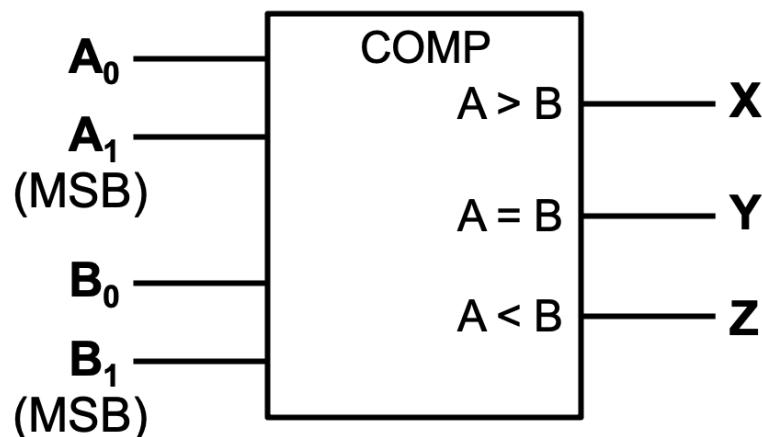
TTL : **Διπολικό τρανζίστορ**

CMOS : **MOSFET τρανζίστορ**

(β) Να επιλέξετε σε ποια λογική οικογένεια (TTL ή CMOS), ανήκουν τα ολοκληρωμένα κυκλώματα (ICs) που χρησιμοποιούνται για την κατασκευή φορητών συσκευών οι οποίες λειτουργούν και με μπαταρίες.
Να εξηγήσετε την επιλογή σας.

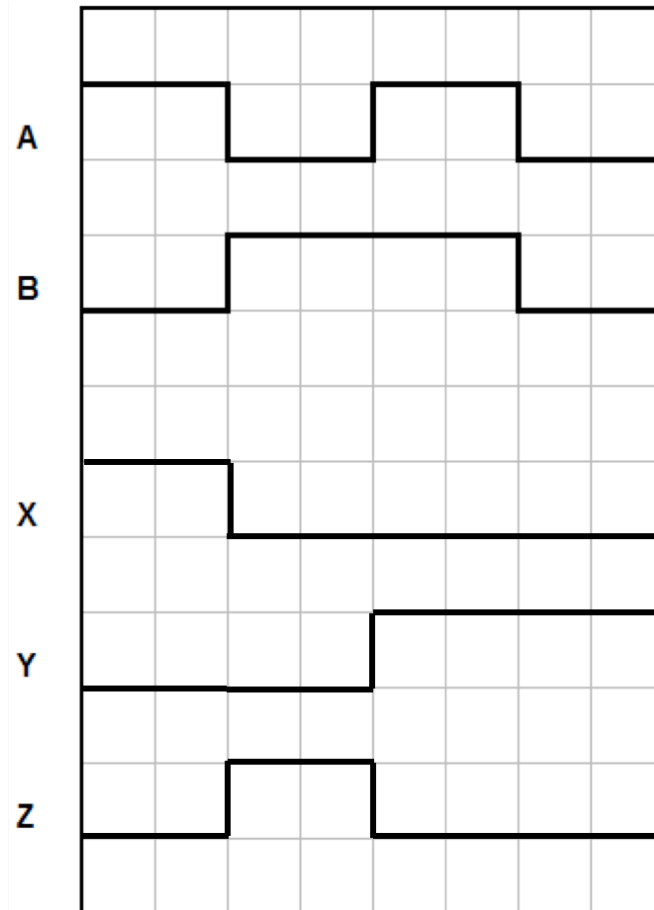
Ανήκουν στη λογική οικογένεια CMOS, επειδή η CMOS έχει μικρότερη κατανάλωση ισχύος / ενέργειας σε σύγκριση με την TTL.

5. (α) Να σχεδιάσετε το λογικό σύμβολο του ψηφιακού συγκριτή 2-bit.



(β) Στο Σχήμα 2 δίνονται τα χρονικά διαγράμματα των εισόδων (A, B) ενός ψηφιακού συγκριτή 1-bit.

Να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων του (X, Y, Z).



Σχήμα 2

6. Στον Πίνακα 1, να δώσετε το μονό ψηφίο ισοτιμίας για καθένα από τους ψηφιακούς κώδικες δεδομένων.

ΚΩΔΙΚΕΣ ΔΕΔΟΜΕΝΩΝ	ΜΟΝΟ ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ
1 0 1 0	1
1 1 0 1 1 0 1	0
1 0 1 0 0 0 1	0
1 1 0 1 0 0 1 1 1 0	1

Πίνακας 1

7. Να αναφέρετε για καθεμιά από τις παρακάτω δηλώσεις αν είναι σωστή ή λανθασμένη.

(α) «Ο αποπολυπλέκτης είναι ένα συνδυαστικό λογικό κύκλωμα, που επιτρέπει τη διοχέτευση πληροφοριών από πολλές πηγές εισόδου σε μια εξόδο».
ΣΩΣΤΟ ή ΛΑΘΟΣ;

ΛΑΘΟΣ

(β) «Ένας αποπολυπλέκτης με 4 γραμμές επιλογής εξόδου έχει 16 γραμμές εξόδου».
ΣΩΣΤΟ ή ΛΑΘΟΣ;

ΣΩΣΤΟ

8. (α) Να σχεδιάσετε το λογικό σύμβολο αποκωδικοποιητή (decoder) 2-bit σε 4 γραμμές (2/4) με τις εξόδους ενεργούς στο λογικό 0 (active low).



(β) Να επιλέξετε τη σωστή απάντηση.

Αποκωδικοποιητής έχει 64 γραμμές εξόδου. Ο αριθμός των bit / εισόδων του είναι:

(1) 7

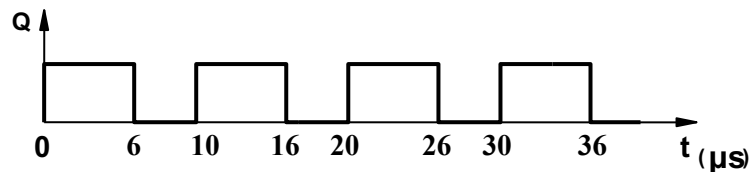
(2) 5

(3) 4

(4) 6

..... $2^N = 64 \Rightarrow N = 6 \text{ bit / είσοδοι}$

9. Στο Σχήμα 3 δίνεται η κυματομορφή της εξόδου (Q) ενός ασταθή πολυδονητή.



Σχήμα 3

(α) Να υπολογίσετε τον κύκλο δράσης d των παλμών του πιο πάνω ασταθή πολυδονητή.

Από το σχήμα 3, $T = 10 \mu s$ και $t_H = 6 \mu s$

$$\Rightarrow d = (t_H / T) \cdot 100\% = (6 / 10) \cdot 100\% = 60\%$$

(β) Να υπολογίσετε τη συχνότητα f των παλμών του ίδιου ασταθή πολυδονητή.

$$f = 1 / T = 1 / (10 \cdot 10^{-6}) = 100000 \text{ Hz} = 100 \text{ kHz}$$

(γ) Να απαντήσετε ΣΩΣΤΟ ή ΛΑΘΟΣ στην ακόλουθη δήλωση.

«Η διαφορά μεταξύ επαναδιεγειρόμενου και μη επαναδιεγειρόμενου μονοσταθή πολυδονητή, είναι ότι ο επαναδιεγειρόμενος (σε αντίθεση με τον μη επαναδιεγειρόμενο) διεγείρεται μόνο όταν βρίσκεται στη σταθερή του κατάσταση».

ΛΑΘΟΣ

10. (α) Να ονομάσετε τους τέσσερις τύπους των καταχωρητών.

- **Διαδοχικής Εισόδου – Διαδοχικής Εξόδου (SISO)**
- **Διαδοχικής Εισόδου – Παράλληλης Εξόδου (SIPO)**
- **Παράλληλης Εισόδου – Διαδοχικής Εξόδου (PISO)**
- **Παράλληλης Εισόδου – Παράλληλης Εξόδου (PIPO)**

(β) Να αναφέρετε τον τύπο του καταχωρητή που:

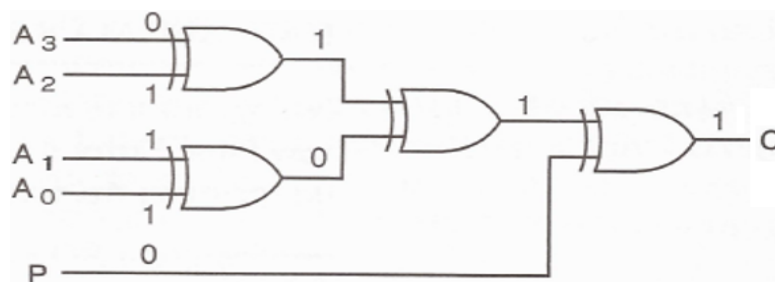
- (1) θα χρησιμοποιούσατε για τη δημιουργία μέγιστης χρονικής καθυστέρησης στη διάδοση ψηφιακών σημάτων.

Διαδοχικής Εισόδου – Διαδοχικής Εξόδου (SISO)

- (2) φέρει και την ονομασία «στατικός» καταχωρητής.

Παράλληλης Εισόδου – Παράλληλης Εξόδου (PIPO)

11. Στο Σχήμα 4 δίνεται το κύκλωμα ελέγχου μονού ψηφίου ισοτιμίας στον κώδικα BCD, με την έξοδο $C = 1$ όταν δεν υπάρχει σφάλμα.



Σχήμα 4

(α) Να γράψετε τη λογική εξίσωση για το κύκλωμα του Σχήματος 4.

$$C = [(A_3 \oplus A_2) \oplus (A_1 \oplus A_0)] \oplus P$$

(β) Να γράψετε τη λογική εξίσωση για το αντίστοιχο κύκλωμα ελέγχου ζυγού ψηφίου ισοτιμίας στον κώδικα BCD.

$$C = \overline{[(A_3 \oplus A_2) \oplus (A_1 \oplus A_0)] \oplus P}$$

12. (α) Στην είσοδο αποκωδικοποιητή BCD σε 7-τμηματική μονάδα ένδειξης εφαρμόζεται ο κώδικας BCD 0110.
Να υπολογίσετε τον αριθμό που θα εμφανιστεί στην 7-τμηματική μονάδα ένδειξης.

Θα εμφανιστεί ο αριθμός 6

(β) Ποια τμήματα της 7-τμηματικής μονάδας ένδειξης θα ανάψουν για να σχηματιστεί ο αριθμός της ερώτησης 12(α);

Θα ανάψουν τα τμήματα: a c d e f g

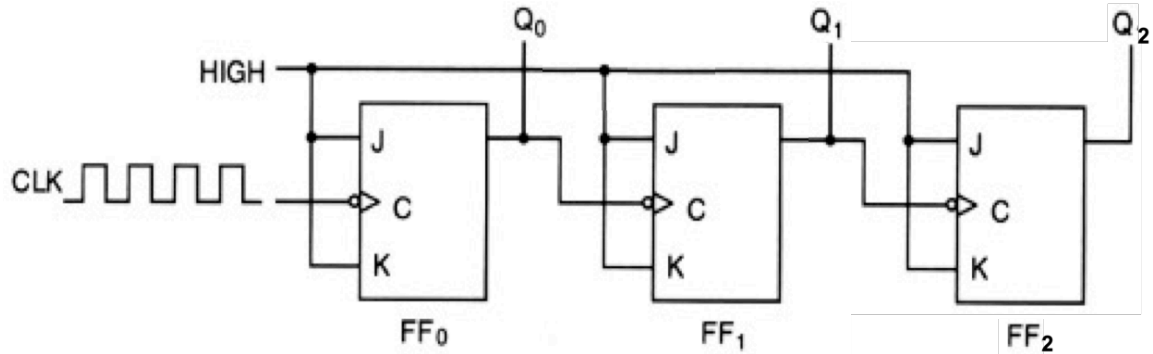
(γ) Να αναφέρετε δύο διαφορές μεταξύ των οθονών LED και LCD.

Δύο από τις πιο κάτω διαφορές:

- **Μια οθόνη LCD κατασκευάζεται σαν ένα σώμα και δεν συναρμολογείται. Αντίθετα, η οθόνη LED συναρμολογείται από ψηφία, που το κάθε ένα αποτελεί ξέχωρη μονάδα.**
- **Η οθόνη LCD δεν ακτινοβολεί φως και γι' αυτό είναι ανάγκη να υπάρχει εξωτερικός φωτισμός. Αντίθετα, η οθόνη LED ακτινοβολεί φως και φαίνεται έντονα σε σκοτεινά μέρη.**
- **Η οθόνη LCD δεν επηρεάζεται από τον εξωτερικό φωτισμό όπως συμβαίνει με την οθόνη LED.**

ΜΕΡΟΣ Β´ - Το μέρος Β αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. Δίνεται το λογικό κύκλωμα ασύγχρονου απαριθμητή (Σχήμα 5) με συγκεκριμένη κατεύθυνση αρίθμησης.



Σχήμα 5

- (α) Να υπολογίσετε μέχρι ποιον αριθμό μπορεί να κάνει αρίθμηση ο απαριθμητής του Σχήματος 5.

Αριθμός των Φλιπ Φλοπ του απαριθμητή, $v = 3$

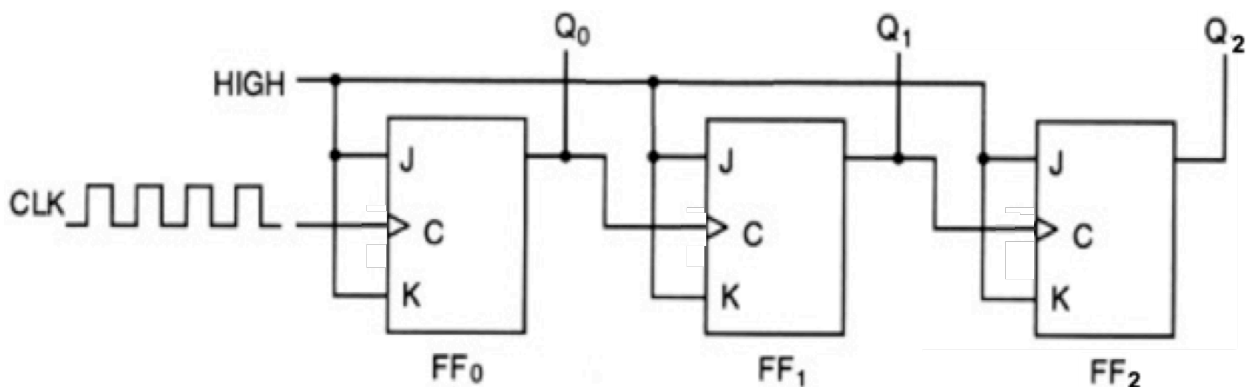
\Rightarrow Μέγιστος αριθμός αρίθμησης του απαριθμητή $= 2^v - 1 = 2^3 - 1 = 8 - 1 = 7$

- (β) Να υπολογίσετε τη μέγιστη συχνότητα λειτουργίας / αρίθμησης του απαριθμητή του Σχήματος 5, αν ο χρόνος καθυστέρησης για κάθε Φλιπ Φλοπ είναι 25 ns.

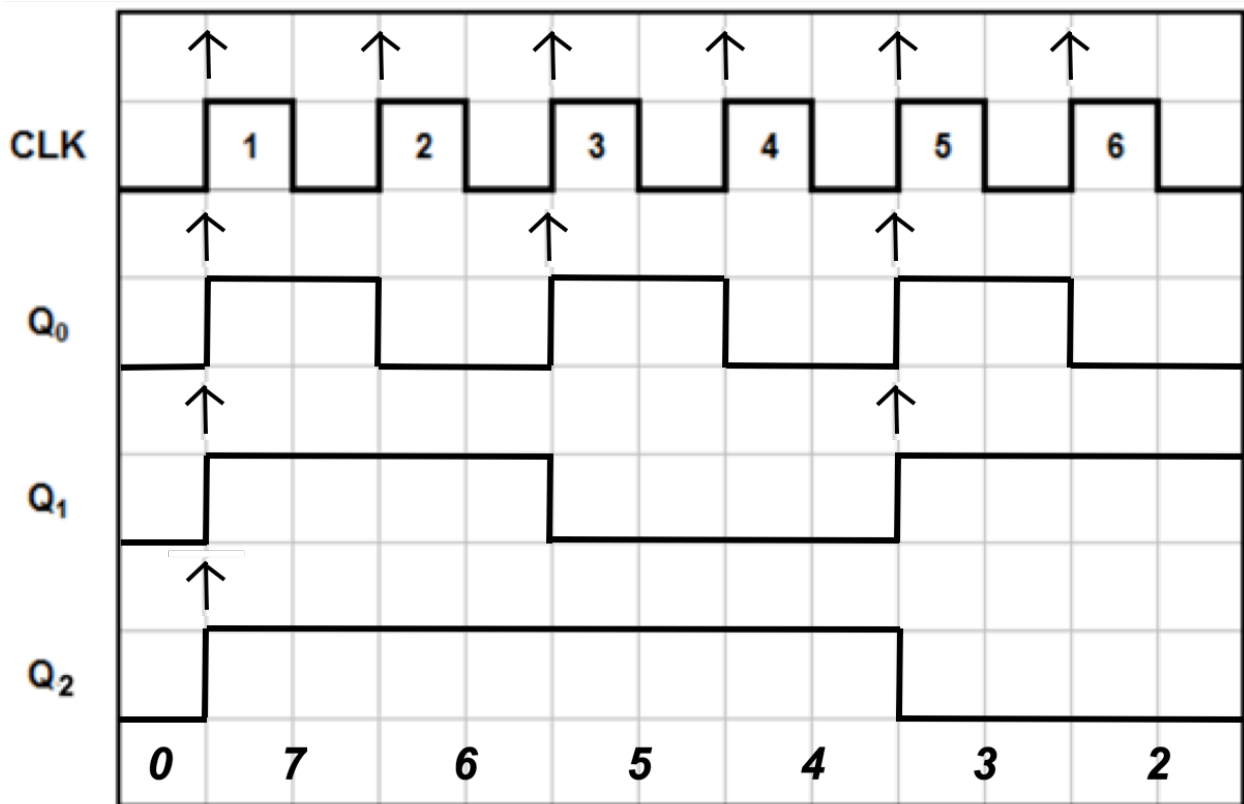
$$f_{max} = 1 / (v \cdot t_p) = 1 / (3 \cdot 25 \cdot 10^{-9}) = 1 / (75 \cdot 10^{-9}) = 13333333 \text{ Hz} = \mathbf{13,33 \text{ MHz}}$$

- (γ) Να κάμετε την απαραίτητη αλλαγή στον τύπο των Φλιπ Φλοπ στο κύκλωμα του Σχήματος 5, ώστε ο ασύγχρονος απαριθμητής να μετρά προς την αντίθετη κατεύθυνση από αυτή που μετρά αρχικά (να σχεδιάσετε το τροποποιημένο κύκλωμα).

Χρησιμοποιούνται JK Φλιπ Φλοπ που διεγείρονται στα θετικά μέτωπα των ωρολογιακών παλμών για αλλαγή της κατεύθυνσης μέτρησης.



(δ) Στο Σχήμα 6 να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων Q του απαριθμητή, που σχεδιάσατε στην ερώτηση 13(γ), για 6 παλμούς του ωρολογίου (CLK). Η αρχική κατάσταση του απαριθμητή είναι η RESET.



Σχήμα 6

14. (α) Να συμπληρώσετε τον πίνακα αληθείας (Πίνακας 2) του ψηφιακού συγκριτή που συγκρίνει δύο αριθμούς του 1-bit.

Είσοδοι		Έξοδοι		
A	B	X	Y	Z
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Πίνακας 2

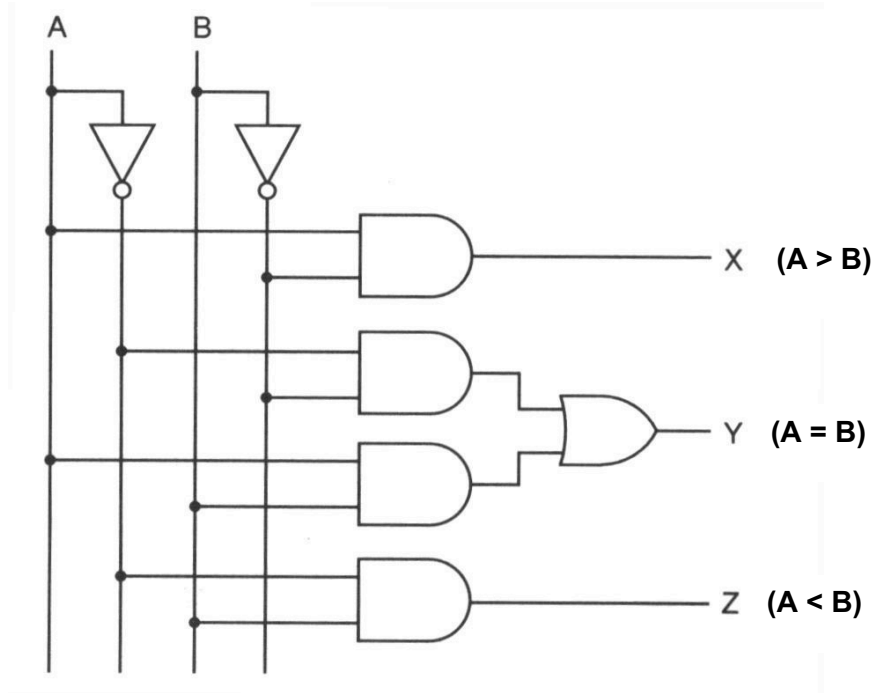
(β) Να δώσετε τις λογικές συναρτήσεις των τριών εξόδων του συγκριτή της ερώτησης 14(α).

$$X = A \cdot \bar{B}$$

$$Y = \bar{A} \cdot \bar{B} + A \cdot B \quad \text{ή} \quad Y = \overline{A \oplus B} \quad (A \text{ EXNOR } B)$$

$$Z = \bar{A} \cdot B$$

(γ) Να σχεδιάσετε το λογικό κύκλωμα του ψηφιακού συγκριτή 1-bit.



(δ) Να δώσετε τον ορισμό του «ψηφιακού συγκριτή».

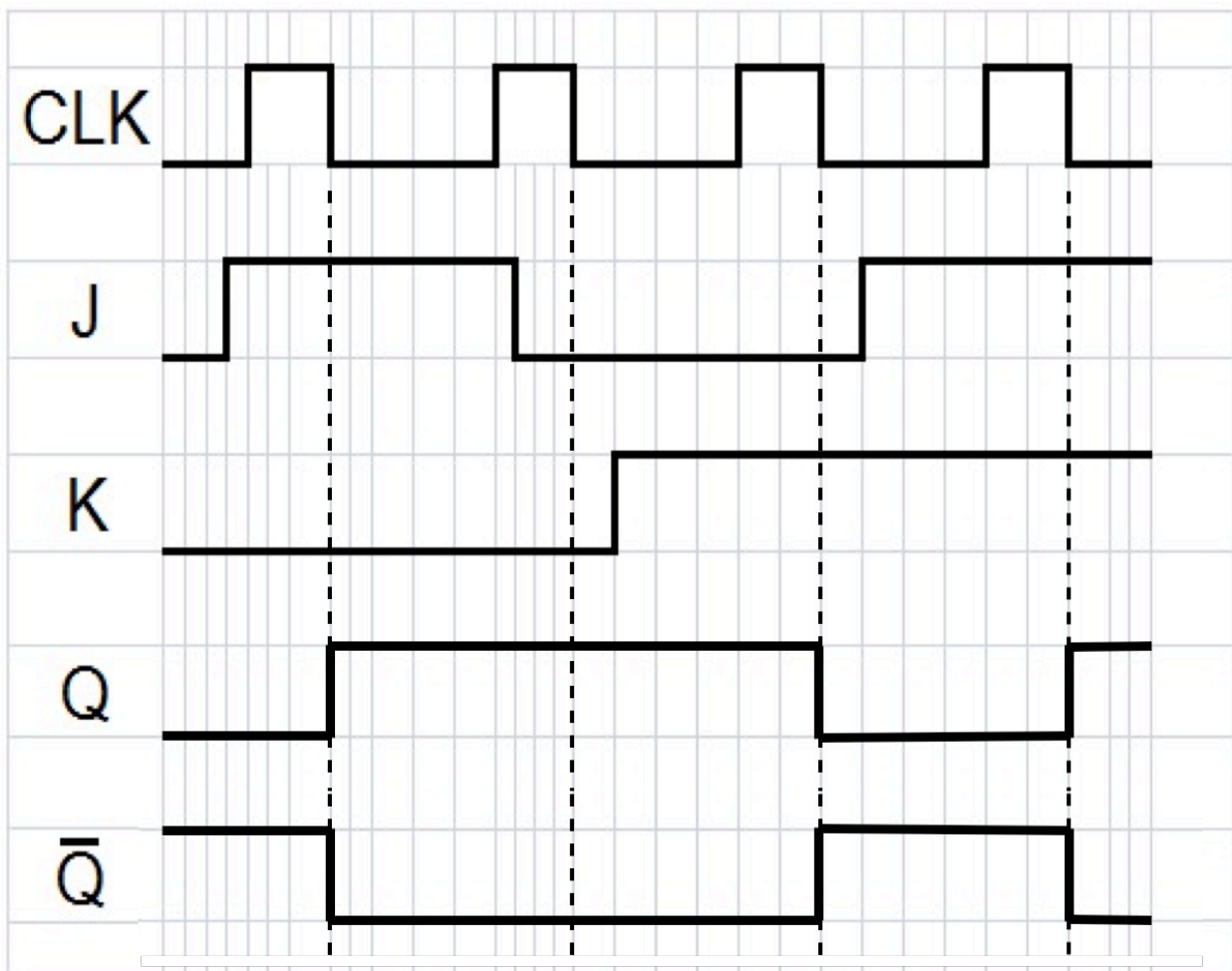
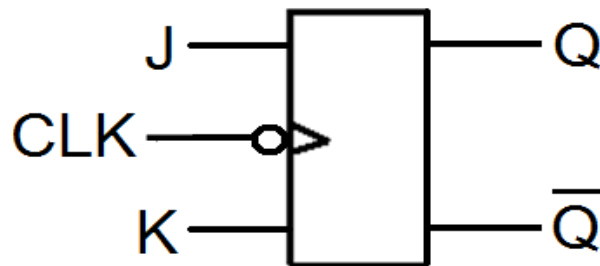
Ο ψηφιακός συγκριτής είναι ένα συνδυαστικό κύκλωμα που συγκρίνει δύο αριθμούς, για παράδειγμα, A και B και βρίσκει αν είναι ίσοι ή ποιος από τους δύο είναι ο πιο μεγάλος.

15. (α) Να συμπληρώσετε τον πιο κάτω πίνακα αληθείας (Πίνακας 3) ασύγχρονου JK Φλιπ Φλοπ.

Είσοδοι		Έξοδοι		
J	K	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	0	Q_n	\bar{Q}_n	MEMORY
0	1	0	1	RESET
1	0	1	0	SET
1	1	\bar{Q}_n	Q_n	TOGGLE

Πίνακας 3

(β) Στο Σχήμα 7 δίνονται το λογικό σύμβολο του JK Φλιπ Φλοπ και τα χρονικά διαγράμματα των εισόδων του. Να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων του Φλιπ Φλοπ. Η αρχική κατάσταση του Φλιπ Φλοπ είναι η RESET.



Σχήμα 7

(γ) Να αναφέρετε το κύριο πλεονέκτημα του JK Φλιπ Φλοπ έναντι του SR Φλιπ Φλοπ.

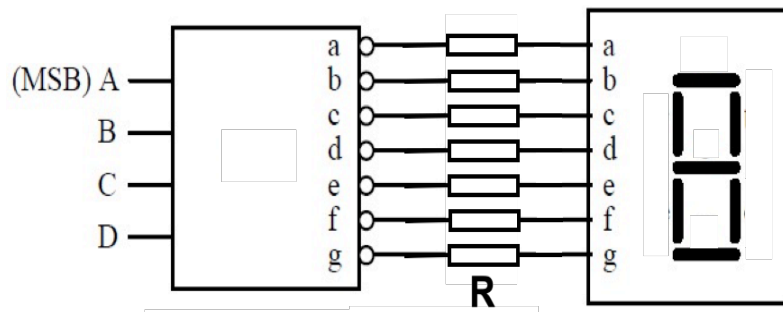
Το JK Φλιπ Φλοπ δεν έχει απαγορευμένη κατάσταση όταν οι εισοδοί του $J = K = 1$, αλλά βρίσκεται σε κατάσταση εναλλαγής (toggle). Αντίθετα, όταν οι εισοδοί του SR Φλιπ Φλοπ $S = R = 1$, τότε το Φλιπ Φλοπ έχει απαγορευμένη κατάσταση.

(δ) Να αναφέρετε μια χρήση / εφαρμογή των Φλιπ Φλοπ.

Μια από τις πιο κάτω χρήσεις / εφαρμογές:

- Διαιρέτες συχνότητας
- Στοιχεία μνήμης
- Κυκλώματα αποκοπής παρασιτικών παλμών από μηχανικούς διακόπτες
- Απαριθμητές
- Καταχωρητές
- Κυκλικοί ολισθητές

16. Δίνεται το μπλοκ διάγραμμα κυκλώματος αποκωδικοποιητή BCD σε 7-τμηματική μονάδα ένδειξης, ο οποίος είναι συνδεδεμένος με 7-τμηματική μονάδα ένδειξης (Σχήμα 8). (R = Προστατευτική Αντίσταση – μία για κάθε LED)



Σχήμα 8

Οι λογικές καταστάσεις των εξόδων του αποκωδικοποιητή είναι:

$$a = 0 \quad , \quad b = 0 \quad , \quad c = 0 \quad , \quad d = 0 \quad , \quad e = 1 \quad , \quad f = 1 \quad , \quad g = 0$$

(α) Να υπολογίσετε τις τιμές των μεταβλητών εισόδου A, B, C, D του αποκωδικοποιητή του Σχήματος 8 (δηλαδή τον κώδικα BCD που εφαρμόζεται στην είσοδό του).

Ο αποκωδικοποιητής έχει τις εξόδους του ενεργές στο λογικό 0 (active low).

⇒ Θα ανάψουν τα τμήματα a, b, c, d, g της 7-τμηματικής μονάδας ένδειξης.

⇒ Αριθμός που θα εμφανιστεί στην 7-τμηματική μονάδα ένδειξης είναι το 3.

Αντίστοιχος BCD κώδικας στην είσοδο του αποκωδικοποιητή, τιμές ABCD = 0011

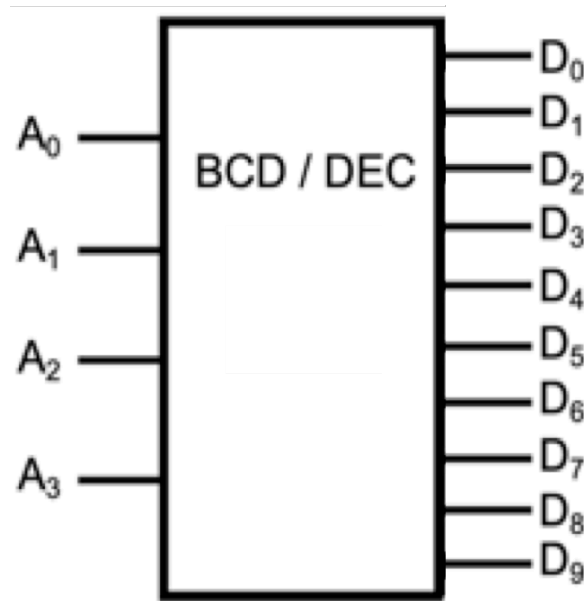
(β) Να αναφέρετε αν το είδος της 7-τμηματικής μονάδας ένδειξης που χρησιμοποιείται στο μπλοκ διάγραμμα του κυκλώματος στο Σχήμα 8, είναι κοινής ανόδου ή κοινής καθόδου.

Η 7-τμηματική μονάδα ένδειξης είναι κοινής ανόδου

(γ) Αποκωδικοποιητής από τον κώδικα BCD σε δεκαδικό έχει τέσσερις γραμμές εισόδου. Να υπολογίσετε τον αριθμό γραμμών εξόδου του συγκεκριμένου αποκωδικοποιητή.

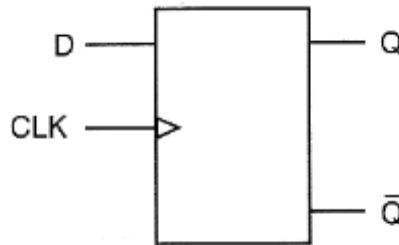
Ο αποκωδικοποιητής BCD σε δεκαδικό έχει 10 εξόδους

(δ) Να σχεδιάσετε το σύμβολο του αποκωδικοποιητή από τον κώδικα BCD σε δεκαδικό, με τις εξόδους ενεργές στο λογικό 1.

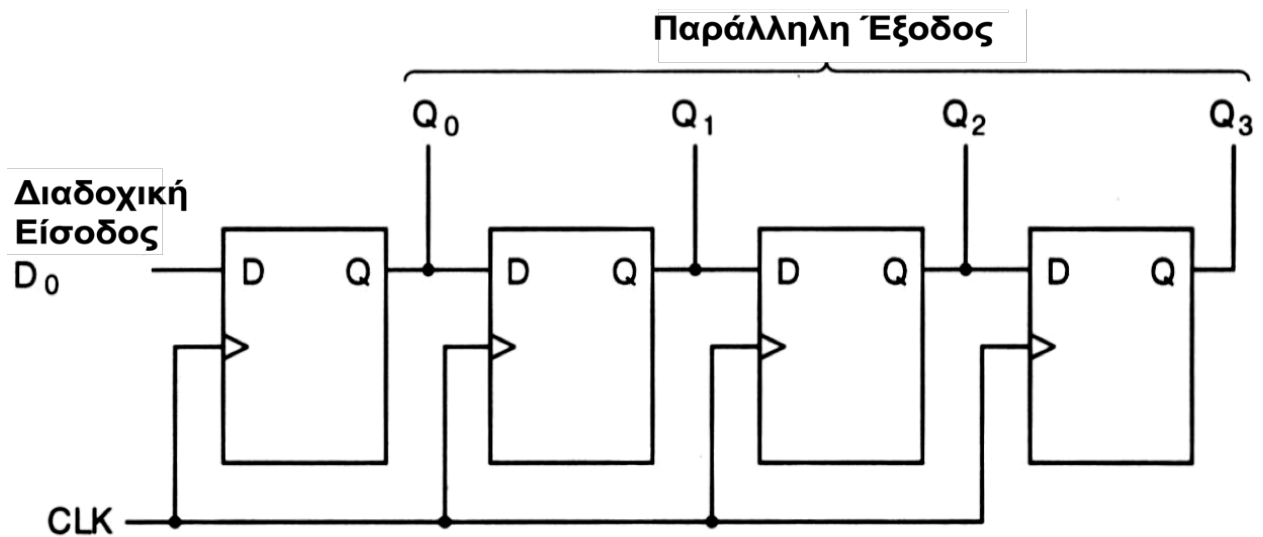


ΜΕΡΟΣ Γ' - Το μέρος Γ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.

17. (α) Να χρησιμοποιήσετε το D-FF του Σχήματος 9 για να σχεδιάσετε κύκλωμα καταχωρητή 4-bit με διαδοχική είσοδο και παράλληλη έξοδο (SIPO).



Σχήμα 9



(β) Να συμπληρώσετε τον πίνακα λειτουργίας (Πίνακας 4) καταχωρητή με διαδοχική είσοδο και διαδοχική έξοδο (SISO), στον οποίο θα καταχωρηθεί η κωδική λέξη: 0110. Η αρχική κατάσταση του καταχωρητή είναι 0000.

Ρολόι (CLK)	Διαδοχική Είσοδος	Q ₀	Q ₁	Q ₂	Q ₃
0	0	0	0	0	0
1	1	0	0	0	0
2	1	1	0	0	0
3	0	1	1	0	0
4		0	1	1	0

Πίνακας 4

(γ) Πόσοι ωρολογιακοί παλμοί χρειάζονται για να καταχωρηθεί και να εξέλθει μια κωδική λέξη 8-bit σε ένα καταχωρητή παράλληλης εισόδου – παράλληλης εξόδου (PIPO);

Χρειάζεται 1 ωρολογιακός παλμός

(δ) Να αναφέρετε τον τύπο του καταχωρητή που θα χρησιμοποιήσετε για την μετατροπή ενός παράλληλου σήματος σε διαδοχικό;

Καταχωρητή παράλληλης εισόδου – διαδοχικής εξόδου (PISO)

18. (α) Να συμπληρώσετε τα πιο κάτω στοιχεία που αφορούν στον πολυπλέκτη δεκαέξι γραμμών σε μία:

Αριθμός Εισόδων: **16**

Αριθμός Γραμμών Επιλογής: **$2^v = 16 \Rightarrow v = 4$**

Αριθμός Εξόδων: **1**

(β) Να συμπληρώσετε τον πίνακα αληθείας (Πίνακας 5) για πολυπλέκτη τεσσάρων γραμμών σε μία.

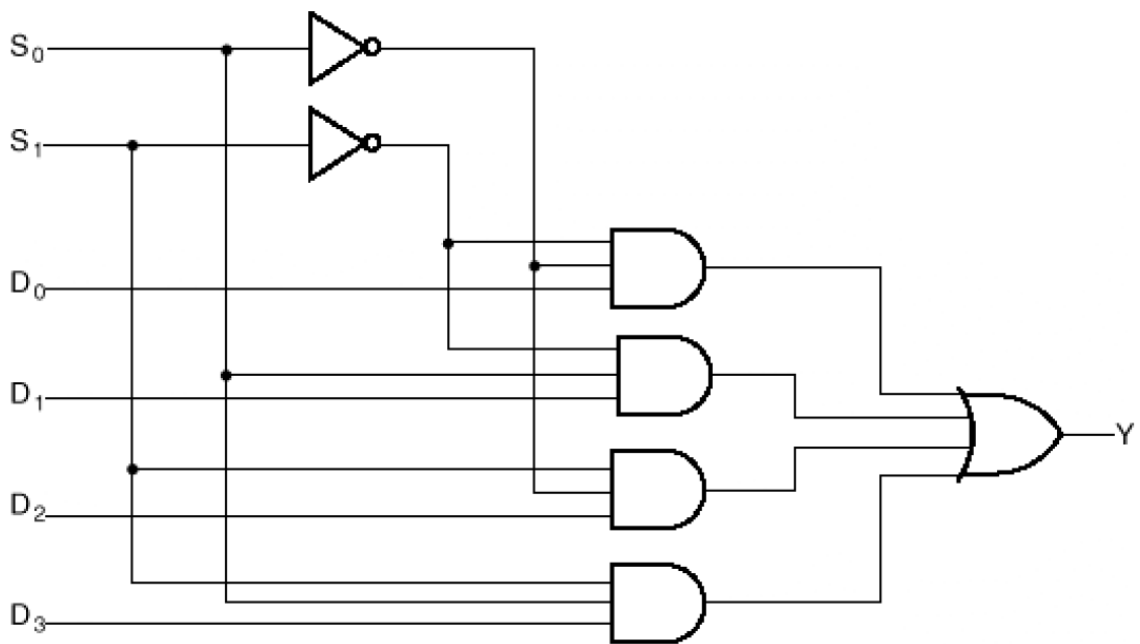
Είσοδοι		Έξοδος
S_1	S_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

Πίνακας 5

(γ) Από τον Πίνακα 5, να γράψετε τη λογική συνάρτηση της εξόδου Y του πολυπλέκτη.

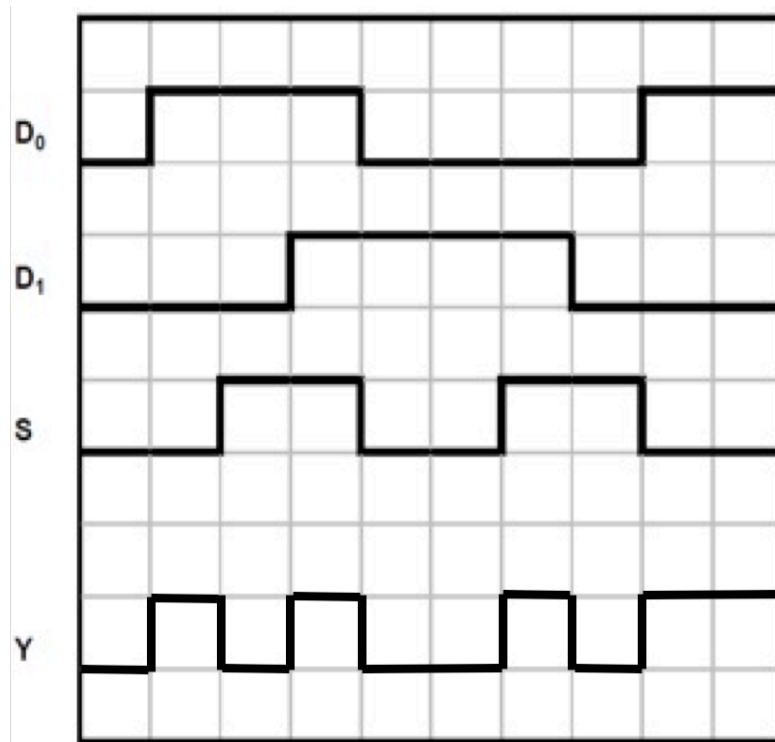
$$Y = \bar{S}_1 \cdot \bar{S}_0 \cdot D_0 + \bar{S}_1 \cdot S_0 \cdot D_1 + S_1 \cdot \bar{S}_0 \cdot D_2 + S_1 \cdot S_0 \cdot D_3$$

(δ) Να σχεδιάσετε το λογικό κύκλωμα του πολυπλέκτη τεσσάρων γραμμών σε μία.



(ε) Στο Σχήμα 10 δίνονται τα χρονικά διαγράμματα των εισόδων πολυπλέκτη δύο γραμμών σε μία.

Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Y του πολυπλέκτη.



Σχήμα 10

----- ΤΕΛΟΣ ΛΥΣΕΩΝ -----