

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΚΑΙ ΑΝΩΤΑΤΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2009

ΤΕΧΝΟΛΟΓΙΑ (ΙΙ) ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Τεχνολογία Αναλογικών και Ψηφιακών Ηλεκτρονικών (154)
Ημερομηνία : Σάββατο, 6 Ιουνίου 2009
Ώρα εξέτασης : 07:30 – 10:00

Επιτρεπόμενη διάρκεια γραπτού 2, 5 ώρες (150 λεπτά)

ΤΟ ΕΞΕΤΑΣΤΙΚΟ ΔΟΚΙΜΙΟ ΑΠΟΤΕΛΕΙΤΑΙ ΑΠΟ ΤΡΙΑΝΤΑ ΔΥΟ (32) ΣΕΛΙΔΕΣ ΚΑΙ ΤΡΙΑ ΜΕΡΗ (Α΄, Β΄ ΚΑΙ Γ΄)

ΟΔΗΓΙΕΣ:

1. Να απαντήσετε σε όλες τις ερωτήσεις.
2. Όλες οι ερωτήσεις να απαντηθούν στο εξεταστικό δοκίμιο στο συγκεκριμένο χώρο που δίνεται. Όπου ο χώρος δεν επαρκεί, μπορεί να χρησιμοποιηθεί και η απέναντι σελίδα.
3. Τα σχεδιαγράμματα μπορούν να σχεδιαστούν και με μολύβι.
4. Απαγορεύεται η χρήση διορθωτικού υγρού ή άλλου υλικού.
5. Επιτρέπεται η χρήση μη προγραμματιζόμενης υπολογιστικής μηχανής.

ΜΕΡΟΣ Α΄ - Το μέρος Α΄ αποτελείται από 12 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 4 μονάδες.

1. (α) Τι είναι τα ηλεκτρικά φίλτρα;

.....
.....
.....
.....

(β) Να εξηγήσετε την αρχή λειτουργίας των ηλεκτρικών φίλτρων.

.....
.....
.....
.....
.....

2. (α) Να δώσετε δύο χαρακτηριστικά των μεγαφώνων.

(1)

.....

(2)

.....

(β) Να εξηγήσετε σε συντομία την αρχή λειτουργίας του δυναμικού μεγαφώνου.

.....
.....
.....
.....
.....
.....
.....
.....
.....
.....

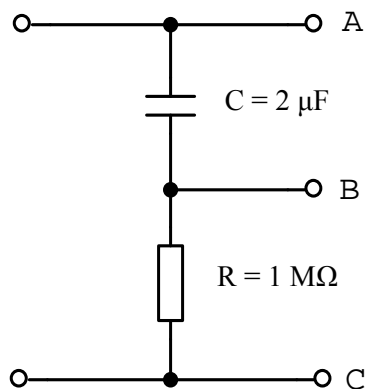
3. (α) Να αναφέρετε τη διαφορά της "πτητικής μνήμης" από τη "μη πτητική".

.....
.....
.....
.....

(β) Να αναφέρετε τη διαφορά της μνήμης EPROM από την EEPROM.

.....
.....
.....
.....
.....

4. Στο σχήμα 1 δίνεται κύκλωμα διαφόρισης.



Σχήμα 1

(α) Να υπολογίσετε τη σταθερά χρόνου του κυκλώματος τ.

$\tau = \dots\dots\dots$

(β) Να αναφέρετε από ποιους ακροδέκτες του κυκλώματος λαμβάνεται η τάση εξόδου.

.....
.....

5. (α) Να εξηγήσετε τι είναι το μέγιστο μέτρο (max MOD) ενός απαριθμητή.

.....
.....
.....
.....

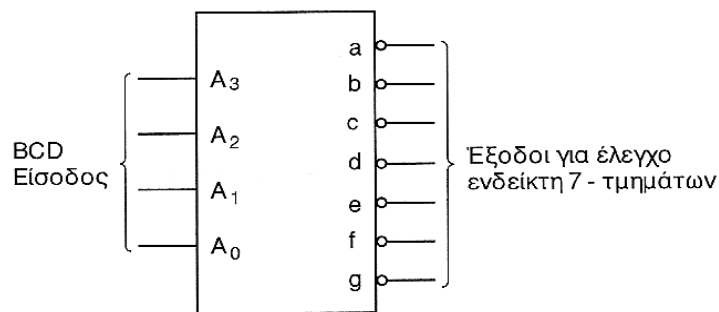
(β) Να υπολογίσετε τον αριθμό των Φλιπ Φλοπ απαριθμητή, με μέτρο 20 (MOD-20).

Αριθμός Φλιπ Φλοπ =

6. (α) Να δώσετε δύο χαρακτηριστικά του ενδείκτη 7-τμημάτων με LED.

- (1)
- (2)

(β) Στο σχήμα 2 δίνεται το σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει τον ενδείκτη 7-τμημάτων.



Σχήμα 2

(1) Εάν η λογική κατάσταση των εισόδων είναι $A_3A_2A_1A_0 = 0011$, να αναφέρετε τον αριθμό που θα παριστάνει ο ενδείκτης 7-τμημάτων που συνδέεται στην έξοδο του αποκωδικοποιητή.

Αριθμός =

(2) Να δώσετε την λογική κατάσταση των εξόδων του αποκωδικοποιητή.

a =

d =

g =

b =

e =

c =

f =

7. (α) Τι είναι ο ψηφιακός αποκωδικοποιητής;

.....
.....
.....
.....
.....
.....

(β) Να υπολογίσετε το μέγιστο αριθμό εξόδων αποκωδικοποιητή όταν ο αριθμός των ψηφίων (bits) του κώδικα εισόδου είναι 4.

Μέγιστος αριθμός εξόδων =

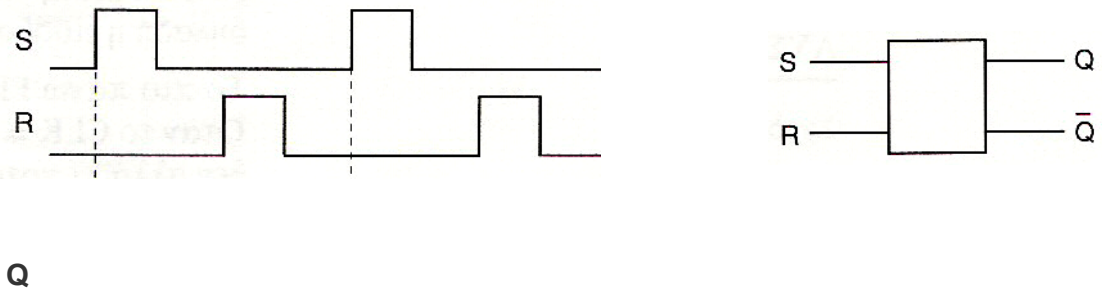
8. (α) Να αναφέρετε τι είναι το “περιθώριο θορύβου” μιας λογικής οικογένειας.

.....
.....
.....
.....

(β) Γιατί είναι καλύτερα να έχουμε ψηλό “περιθώριο θορύβου” σε μια λογική οικογένεια;

.....
.....
.....
.....
.....

9. Στο σχήμα 3 δίνεται το λογικό σύμβολο ασύγχρονου SR Φλιπ Φλοπ και τα χρονικά διαγράμματα των εισόδων του. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ. Αρχικά το Φλιπ Φλοπ βρίσκεται στην κατάσταση RESET ($Q = 0$).



Σχήμα 3

10. (α) Να εξηγήσετε τη διαφορά μεταξύ ενός στατικού καταχωρητή και ενός ολισθητή.

.....

.....

.....

.....

.....

.....

- (β) Να αναφέρετε τον τύπο του καταχωρητή που θα χρησιμοποιούσατε για τη μετατροπή ενός σειριακού σήματος σε παράλληλο. Να δικαιολογήσετε την απάντησή σας.

.....

.....

.....

.....

.....

.....

11. Η λογική κατάσταση ενός καταχωρητή οκτώ ψηφίων (8-bit) με διαδοχική είσοδο και διαδοχική έξοδο είναι 1 1 0 1 0 1 0 1 . Στον καταχωρητή εισέρχονται με σειριακό τρόπο μηδενικά από τα αριστερά με ταυτόχρονη μετακίνηση των ψηφίων (bits) προς τα δεξιά. Να γράψετε τη νέα λογική κατάσταση των εξόδων του καταχωρητή μετά από 4 χρονικούς παλμούς του ρολογιού (CLK).

Νέα λογική κατάσταση εξόδων =

12. (α) Να εξηγήσετε τη διαφορά ενός αναλογικού σήματος από ένα ψηφιακό.

.....

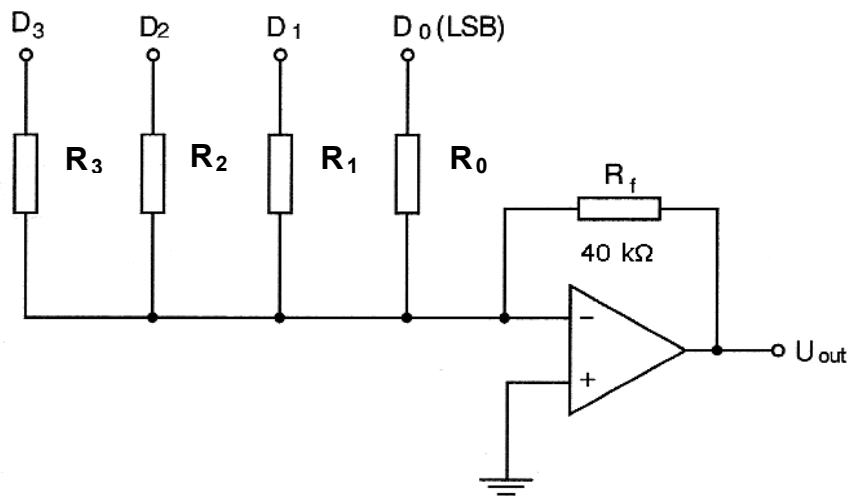
.....

.....

.....

.....

- (β) Στο σχήμα 4 δίνεται το κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό (DAC) με αντιστάσεις σταθμισμένες στο δυαδικό σύστημα. Αν η αντίσταση $R_0 = 400 \text{ k}\Omega$, να υπολογίσετε την τιμή των αντιστάσεων R_1 , R_2 και R_3 .



Σχήμα 4

$R_1 = \dots\dots\dots$

$R_2 = \dots\dots\dots$

$R_3 = \dots\dots\dots$

ΜΕΡΟΣ Β΄ - Το μέρος Β΄ αποτελείται από 4 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 8 μονάδες.

13. (α) Να σχεδιάσετε το λογικό κύκλωμα ενός ασύγχρονου SR Φλιπ Φλοπ με τη χρήση δύο πυλών NAND και να συμπληρώσετε τον Πίνακα Αληθείας του.

Πίνακας Αληθείας NAND Φλιπ Φλοπ

Λογικό Κύκλωμα

Είσοδοι		Έξοδοι	
\overline{S}_N	\overline{R}_N	Q_{N+1}	\overline{Q}_{N+1}

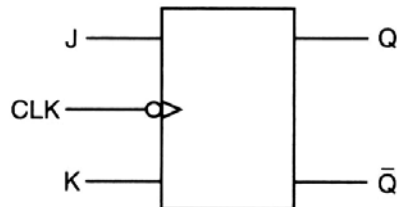
- (β) Σε τι διαφέρει ένα JK Φλιπ Φλοπ από ένα SR Φλιπ Φλοπ;

.....

.....

.....

14. (α) Να σχεδιάσετε το κύκλωμα ασύγχρονου δυαδικού απαριθμητή 4 ψηφίων (4-bit) που μετρά προς τα πάνω με τη χρήση JK Φλιπ Φλοπ (σχήμα 5).



Σχήμα 5

- (β) Αν η συχνότητα των ωρολογιακών παλμών (CLK) είναι 32 kHz, να υπολογίσετε τη συχνότητα των παλμών στην έξοδο Q του κάθε Φλιπ Φλοπ, στο κύκλωμα του ασύγχρονου δυαδικού απαριθμητή 4 ψηφίων (4-bit) που σχεδιάσατε πιο πάνω.

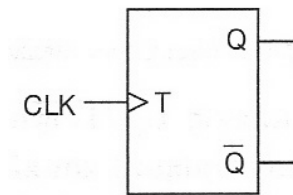
$$f_{Q0} = \dots\dots\dots$$

$$f_{Q1} = \dots\dots\dots$$

$$f_{Q2} = \dots\dots\dots$$

$$f_{Q3} = \dots\dots\dots$$

- (γ) Να σχεδιάσετε το κύκλωμα ασύγχρονου δυαδικού απαριθμητή 2 ψηφίων (2-bit) που μετρά προς τα κάτω με τη χρήση T Φλιπ Φλοπ (σχήμα 6).



Σχήμα 6

15. Στο σχήμα 7 δίνεται το σύμβολο του αποκωδικοποιητή 2 bit σε 4 γραμμές με τις εξόδους ενεργές στο λογικό 1, (Active High).



Σχήμα 7

(α) Να συμπληρώσετε τον Πίνακα Αληθείας του αποκωδικοποιητή.

Α/Α	ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ			
	A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀
0						
1						
2						
3						

(β) Να γράψετε τις λογικές συναρτήσεις των εξόδων του πιο πάνω αποκωδικοποιητή.

$$Y_0 = \dots\dots\dots$$

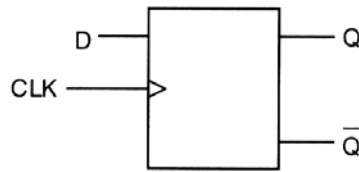
$$Y_1 = \dots\dots\dots$$

$$Y_2 = \dots\dots\dots$$

$$Y_3 = \dots\dots\dots$$

(γ) Να σχεδιάσετε το λογικό κύκλωμα του πιο πάνω αποκωδικοποιητή.

16. (α) Με τη χρήση D Φλιπ Φλοπ (σχήμα 8) να σχεδιάσετε κύκλωμα καταχωρητή 4 ψηφίων (4-bit) με διαδοχική είσοδο και διαδοχική έξοδο.



Σχήμα 8

- (β) Να εξηγήσετε πως μπορεί να μετατραπεί το πιο πάνω κύκλωμα σε κυκλικό ολισθητή.

.....

.....

.....

.....

.....

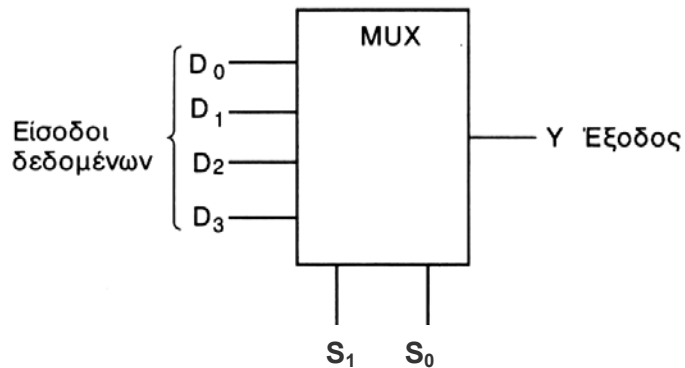
.....

.....

.....

ΜΕΡΟΣ Γ΄ - Το μέρος Γ΄ αποτελείται από 2 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 10 μονάδες.

17. Στο σχήμα 9 δίνεται το λογικό σύμβολο του πολυπλέκτη με 4 γραμμές εισόδου δεδομένων και δύο γραμμές επιλογής εισόδου S_0 και S_1 .



Σχήμα 9

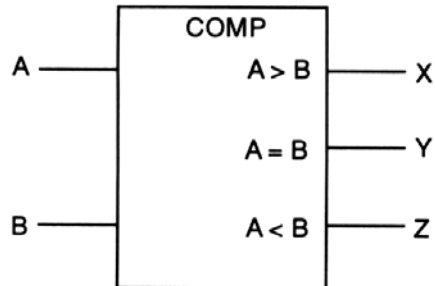
(α) Να συμπληρώσετε τον Πίνακα Αληθείας του πολυπλέκτη.

Είσοδοι		Έξοδος
S_1	S_0	Y

(β) Να γράψετε τη λογική συνάρτηση της εξόδου Y .

$Y = \dots\dots\dots$

18. Στο σχήμα 11 δίνεται το λογικό σύμβολο του ψηφιακού συγκριτή που συγκρίνει δύο αριθμούς του 1 bit.



Σχήμα 11

(α) Να συμπληρώσετε το Πίνακα Αληθείας του συγκριτή.

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		
A	B	X	Y	Z

(β) Να δώσετε τις λογικές συναρτήσεις των εξόδων του.

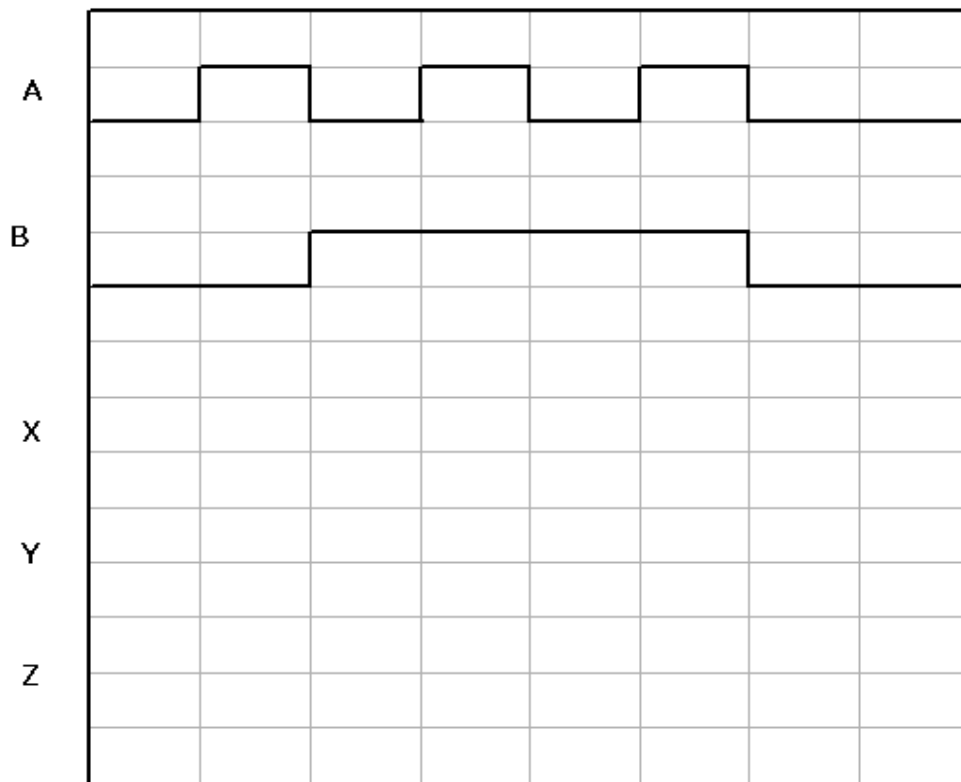
X =

Y =

Z =

(γ) Να σχεδιάσετε το λογικό του κύκλωμα.

(δ) Στο σχήμα 12 δίνονται τα χρονικά διαγράμματα των εισόδων του συγκριτή. Να σχεδιάσετε τα χρονικά διαγράμματα των τριών εξόδων του.



Σχήμα 12

----- Τέλος Εξέτασης -----

ΠΡΟΧΕΙΡΟ

ΠΡΟΧΕΙΡΟ

ΠΡΟΧΕΙΡΟ

