

ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΚΑΙ ΑΝΩΤΑΤΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ

2007

ΤΕΧΝΟΛΟΓΙΑ (ΙΙ) ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

ΜΑΘΗΜΑ : ΤΕΧΝΟΛΟΓΙΑ ΑΝΑΛΟΓΙΚΩΝ ΚΑΙ ΨΗΦΙΑΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ
ΗΜΕΡΟΜΗΝΙΑ : ΣΑΒΒΑΤΟ, 9 ΙΟΥΝΙΟΥ 2007
ΩΡΑ : 7.30 – 10.00

Επιτρεπόμενη διάρκεια γραπτού 2,5 ώρες (150 λεπτά)

Το εξεταστικό δοκίμιο αποτελείται από τρία μέρη (Α, Β, Γ), έξι (6) σελίδες και το φύλλο εργασίας (έντυπο Α) το οποίο πρέπει να επιστραφεί με το τετράδιο των απαντήσεων.

ΟΔΗΓΙΕΣ:

1. Να απαντήσετε σε όλες τις ερωτήσεις.
2. Επιτρέπεται η χρήση μη προγραμματιζόμενης υπολογιστικής μηχανής.
3. Δεν επιτρέπεται η χρήση διορθωτικού υγρού, ή άλλου διορθωτικού υλικού.
4. Οι ερωτήσεις 8, 10 και 18δ να απαντηθούν στο φύλλο εργασίας (έντυπο Α), κάτω από τα αντίστοιχα διαγράμματα εισόδου.

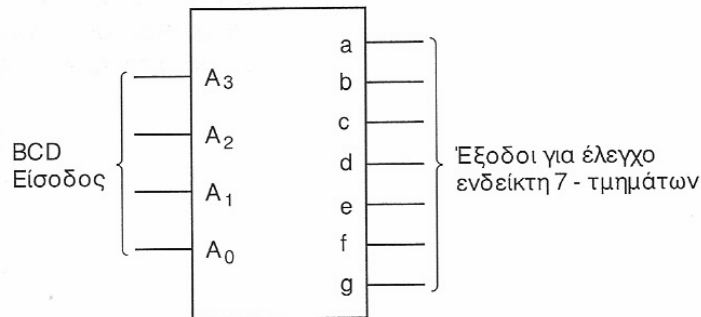
ΜΕΡΟΣ Α Αποτελείται από **12 ερωτήσεις**.

Η κάθε ορθή απάντηση βαθμολογείται με **4 μονάδες**.

- (α) Να εξηγήσετε τι είναι το μέγιστο μέτρο (max MOD) απαριθμητή.

(β) Πόσα Φλιπ Φλοπ χρειάζονται για την κατασκευή απαριθμητή με μέγιστο μέτρο 128;
- (α) Ποια είναι η διαφορά μεταξύ των μνημών PROM και EPROM;

(β) Να αναφέρετε μια σημαντική διαφορά μεταξύ της στατικής και της δυναμικής μνήμης RAM.
- Δίνεται στο σχήμα 1 το σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει τον ενδείκτη 7 τμημάτων. Η λογική κατάσταση των εισόδων είναι $A_3A_2A_1A_0 = 0011$. Να γράψετε τη λογική κατάσταση των εξόδων του αποκωδικοποιητή.



Σχήμα 1

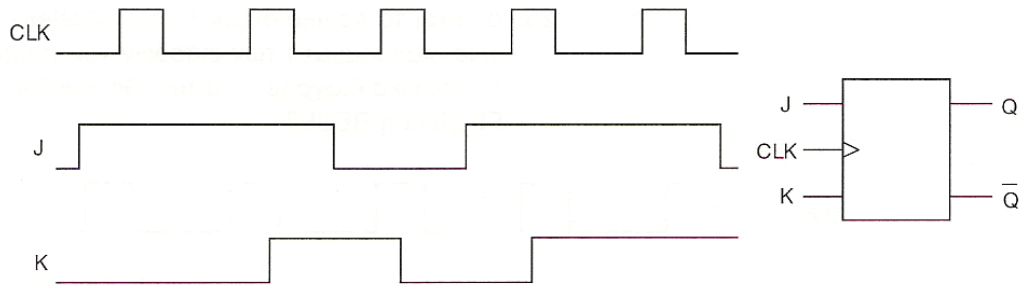
- (α) Να εξηγήσετε τι εννοούμε με τον όρο ευαισθησία του μικροφώνου.

(β) Να εξηγήσετε τι εννοούμε με τον όρο πιστότητα του μικροφώνου.
- (α) Να δώσετε τον ορισμό του ψηφιακού κωδικοποιητή.

(β) Να υπολογίσετε το μέγιστο αριθμό εισόδων κωδικοποιητή όταν ο αριθμός των ψηφίων του κώδικα εξόδου είναι 4 bit.
- (α) Να εξηγήσετε τι είναι το περιθώριο θορύβου μιας λογικής οικογένειας.

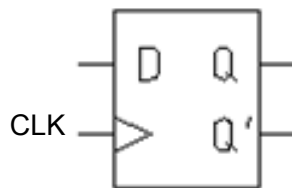
(β) Μια λογική πύλη χαρακτηρίζεται με ικανότητα οδήγησης (fan – out) 10. Να εξηγήσετε τι σημαίνει αυτό.
- Να σχεδιάσετε κύκλωμα ολοκλήρωσης και να δείξετε την είσοδο και την έξοδό του.

8. Στο σχήμα 2 δίνεται το λογικό σύμβολο JK Φλιπ Φλοπ και τα χρονικά διαγράμματα των εισόδων του . Να σχεδιάσετε τα χρονικά διαγράμματα της εξόδου Q του Φλιπ Φλοπ στο έντυπο A, κάτω από τα αντίστοιχα χρονικά διαγράμματα των εισόδων του. Αρχικά το Φλιπ Φλοπ βρίσκεται στην κατάσταση μηδενισμού (RESET).



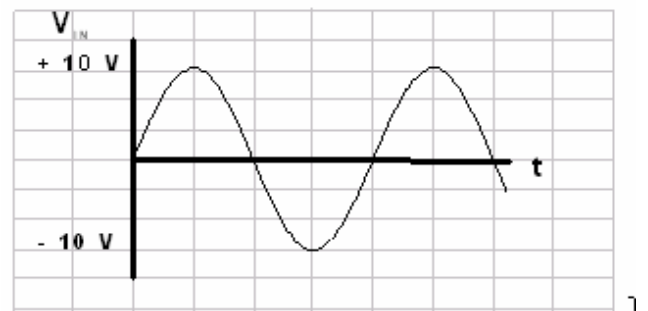
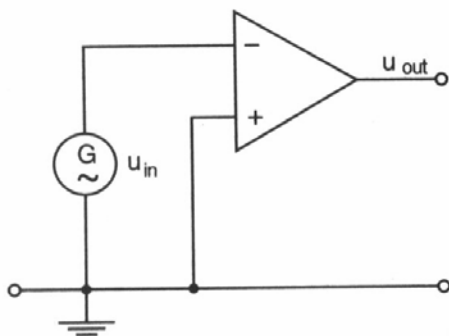
Σχήμα 2

9. Με τη βοήθεια του D Φλιπ Φλοπ του σχήματος 3 να σχεδιάσετε το κύκλωμα καταχωρητή των 4 bit με παράλληλη είσοδο και παράλληλη έξοδο.



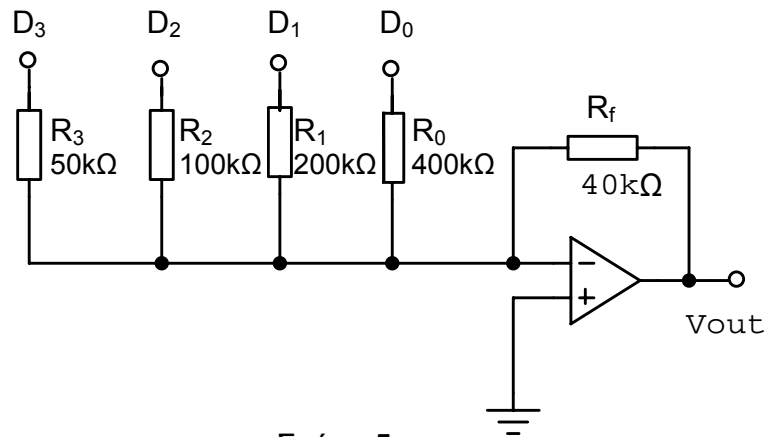
Σχήμα 3

10. Στο σχήμα 4 δίνεται το κύκλωμα του συγκριτή τάσης και το σήμα που εφαρμόζεται στην ανάστροφη (αρνητική) είσοδό του. Να σχεδιάσετε το σήμα εξόδου στο έντυπο A, κάτω από το αντίστοιχο σήμα εισόδου. Η τάση εξόδου που αντιστοιχεί με το λογικό 1 ισούται με +5V και η τάση εξόδου που αντιστοιχεί με το λογικό 0 ισούται με 0 V.



Σχήμα 4

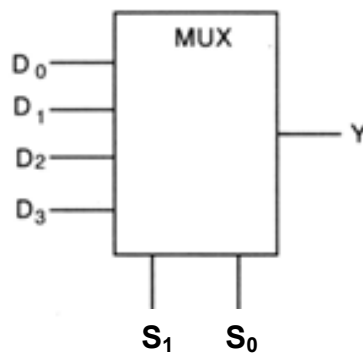
11. Να αναφέρετε τις τέσσερις κατηγορίες στις οποίες διακρίνονται τα φίλτρα ανάλογα με τις περιοχές συχνοτήτων που λειτουργούν.
12. Στο σχήμα 5 δίνεται το κύκλωμα του μετατροπέα ψηφιακού σήματος σε αναλογικό, (DAC), 4 bit με αντιστάσεις σταθμισμένες στο δυαδικό σύστημα. Αν το λογικό 1 αντιστοιχεί με +5 V και το λογικό 0 με 0V, να υπολογίσετε τη μέγιστη τάση εξόδου του κυκλώματος.



Σχήμα 5

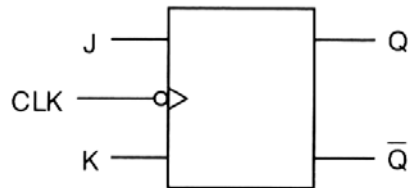
ΜΕΡΟΣ Β Αποτελείται από 4 ερωτήσεις.
 Η κάθε ορθή απάντηση βαθμολογείται με 8 μονάδες.

13. Στο σχήμα 6 δίνεται το λογικό σύμβολο του πολυπλέκτη με 4 γραμμές εισόδου δεδομένων και δύο γραμμές επιλογής εισόδου S_0 και S_1 .
 - (α) Να γράψετε τον πίνακα λειτουργίας του πολυπλέκτη.
 - (β) Να γράψετε τη λογική συνάρτηση της εξόδου Y .
 - (γ) Να σχεδιάσετε το λογικό κύκλωμα του πολυπλέκτη.



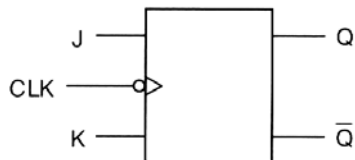
Σχήμα 6

14. (α) Χρησιμοποιώντας JK Φλιπ Φλοπ, σχήμα 7, να σχεδιάσετε το κύκλωμα ασύγχρονου δυαδικού απαριθμητή 4 bit που μετρά προς τα πάνω.
- (β) Αν η συχνότητα των ωρολογιακών παλμών, (CLK), είναι 32 kHz, να υπολογίσετε τη συχνότητα των παλμών στην έξοδο Q του κάθε Φλιπ Φλοπ.
- (γ) Να εξηγήσετε τι πρέπει να αλλάξετε στη συνδεσμολογία του κυκλώματος έτσι ώστε ο απαριθμητής να μετρά προς τα κάτω.



Σχήμα 7

15. (α) Να σχεδιάσετε το κύκλωμα ενός σύγχρονου SR Φλιπ Φλοπ με τη χρήση πυλών NAND. Το ρολόι, (CLK), να είναι ενεργό στο λογικό 1.
- (β) Να γράψετε το πίνακα αληθείας του.
16. (α) Χρησιμοποιώντας το JK Φλιπ Φλοπ του σχήματος 8 να σχεδιάσετε κύκλωμα καταχωρητή 4 bit με διαδοχική είσοδο και διαδοχική έξοδο.
- (β) Να δώσετε τον πίνακα λειτουργίας του καταχωρητή για την αποθήκευση της πληροφορίας 1001.



Σχήμα 8

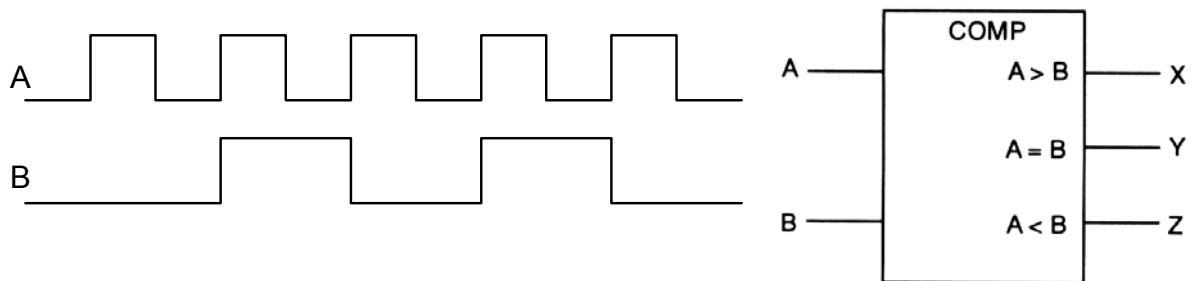
ΜΕΡΟΣ Γ Αποτελείται από **2 ερωτήσεις**.
 Η κάθε ορθή απάντηση βαθμολογείται με **10 μονάδες**.

17. Στο σχήμα 9 δίνεται το σύμβολο του αποκωδικοποιητή 2 bit σε 4 γραμμές με τις εξόδους ενεργές στο λογικό 1, (Active High).
- (α) Να γράψετε τον πίνακα αληθείας του αποκωδικοποιητή.
- (β) Να γράψετε τις λογικές συναρτήσεις των εξόδων του.
- (γ) Να σχεδιάσετε το λογικό του κύκλωμα.



Σχήμα 9

18. Στο σχήμα 10 δίνεται το λογικό σύμβολο του ψηφιακού συγκριτή που συγκρίνει δύο αριθμούς του 1 bit και τα χρονικά διαγράμματα των εισόδων του.
- (α) Να γράψετε τον πίνακα λειτουργίας του συγκριτή.
 - (β) Να γράψετε τις λογικές συναρτήσεις των εξόδων του.
 - (γ) Να σχεδιάσετε το λογικό κύκλωμα του συγκριτή.
 - (δ) Να σχεδιάσετε στο έντυπο Α, κάτω από τα σήματα εισόδου, τα χρονικά διαγράμματα των εξόδων του.



Σχήμα 10

----- ΤΕΛΟΣ ΕΞΕΤΑΣΗΣ -----