

ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΚΑΙ ΑΝΩΤΑΤΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2007

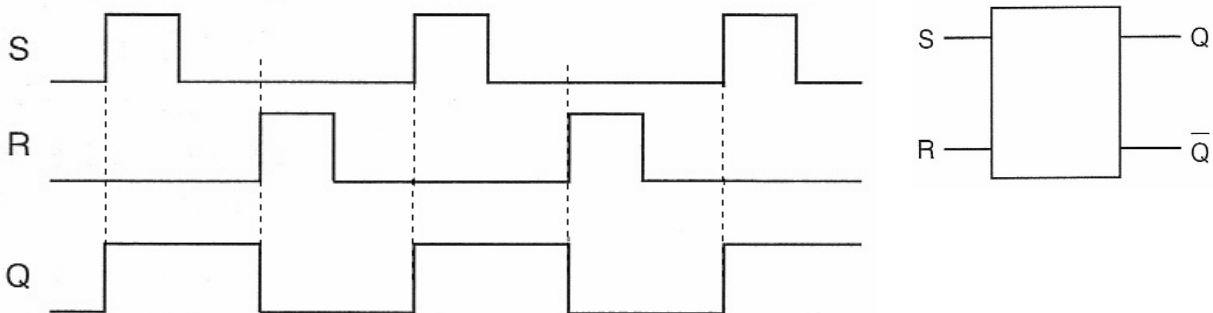
Μάθημα : Ψηφιακά Ηλεκτρονικά
Τεχνολογία II Τεχνικών Σχολών, Θεωρητικής Κατεύθυνσης

Ημερομηνία και ώρα εξέτασης: Σάββατο, 9 Ιουνίου 2007
07.30 – 10.00

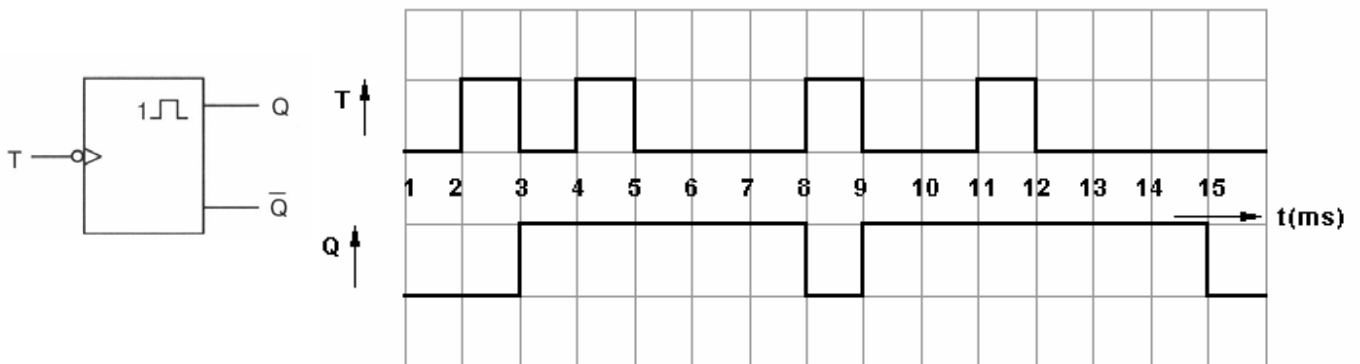
Λύσεις

ΜΕΡΟΣ Α

1. Χρονικά διαγράμματα της εξόδου Q του SR Φλιπ Φλοπ

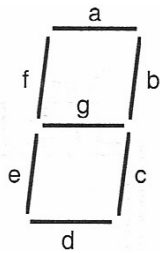


2. Χρονικό διάγραμμα της εξόδου Q του μονοσταθί πολυδονητή

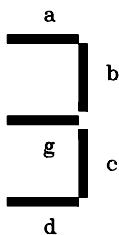


3. (α) Το περιθώριο θορύβου μιας λογικής οικογένειας είναι η μέγιστη τάση ηλεκτρονικού θορύβου που μπορεί να προστεθεί στο σήμα εισόδου μιας πύλης που ανήκει στη συγκεκριμένη λογική οικογένεια χωρίς να αλλάξει το λογική του επίπεδο.
- (β) Είναι καλύτερα να έχουμε όσο το δυνατό ψηλότερο περιθώριο θορύβου διότι τότε τα κυκλώματα μας επηρεάζονται λιγότερο από το θόρυβο.
4. (α) Στον ασύγχρονο απαριθμητή οι παλμοί μέτρησης εφαρμόζονται στο ρολόι (CLK) του πρώτου Φλιπ Φλοπ και η έξοδος του πρώτου Φλιπ Φλοπ τροφοδοτεί την είσοδο (CLK) του δεύτερου και ούτω καθεξής.
Στους σύγχρονους απαριθμητές οι παλμοί μέτρησης εφαρμόζονται ταυτόχρονα στις εισόδους CLK όλων των Φλιπ Φλοπ (δηλαδή έχουν κοινό ρολόι).
- (β) Ο σύγχρονος απαριθμητής είναι πιο γρήγορος από τον ασύγχρονο.
5. Για κάθε παλμό αρίθμησης που εφαρμόζεται στην είσοδο του ασύγχρονου απαριθμητή, έχουμε καθυστέρηση 2 μs σε κάθε Φλιπ Φλοπ.
Ο συνολικός χρόνος που χρειάζεται για να συμπληρωθεί η μέτρηση ενός παλμού είναι $t = 2 \times 5 = 10 \mu\text{s}$.
Άρα η μέγιστη συχνότητα λειτουργίας = $1/t = 1/10 \mu\text{s} = \underline{100 \text{ kHz}}$
6. Το ψηφίο ισοτιμίας είναι ένα επιπρόσθετο ψηφίο που προστίθεται στον κώδικα δεδομένων, έτσι ώστε ο συνολικός αριθμός των 1 να είναι πάντοτε μονός ή ζυγός αριθμός. Ο κώδικας δεδομένων μαζί με το ψηφίο ισοτιμίας αποτελούν μια κωδική λέξη.
Το ψηφίο ισοτιμίας χρησιμεύει στην αναγνώριση λαθών κατά τη μεταφορά ψηφιακών δεδομένων.
7. Το κύκλωμα σκανδάλης Σμιτ έχει δύο σταθερές λογικές καταστάσεις. Το σήμα εξόδου εξαρτάται από το σήμα εισόδου. Όταν η τάση του σήματος εισόδου ανερχόμενη ξεπεράσει μια ορισμένη τιμή (ψηλή τάση κατωφλίου), τότε η έξοδος του κυκλώματος οδηγείται στο λογικό 0. Όταν η τάση του σήματος εισόδου κατερχόμενη πέσει κάτω από μια άλλη ορισμένη τιμή (χαμηλή τάση κατωφλίου), τότε η έξοδος οδηγείται στο λογικό 1.
Η τιμή της ψηλής τάσης κατωφλίου και η τιμή της χαμηλής τάσης κατωφλίου του κυκλώματος δεν συμπίπτουν και η διαφορά μεταξύ των δύο τιμών ονομάζεται υστέρηση.
8. (α) Δύο από τα πιο κάτω χαρακτηριστικά:
1. Είναι κοινής ανόδου ή καθόδου
 2. Βρίσκεται σε διάφορα μεγέθη
 3. Έχει χρώμα (συνήθως κόκκινο, πράσινο ή κίτρινο)
 4. Αποτελείται από ένα ή περισσότερα ψηφία
 5. Χαρακτηρίζεται από τυπικές τάσεις και εντάσεις λειτουργίας

- (β) Οι οθόνες LCD λειτουργούν με πάρα πολύ μικρή κατανάλωση ηλεκτρικής ενέργειας σε σύγκριση με τις οθόνες LED και για αυτό το λόγο χρησιμοποιούνται σε συσκευές όπως τα ψηφιακά ρολόγια που εργάζονται με μπαταρίες με στόχο την εξοικονόμηση ενέργειας.
9. Ο συγκριτής τάσης είναι ένα κύκλωμα το οποίο συγκρίνει τις τάσεις των σημάτων στις δύο εισόδους του τελεστικού ενισχυτή. Η έξοδος του συγκριτή παίρνει μόνο δύο τιμές, τη ψηλή τάση και τη χαμηλή. Όταν η τάση στην ορθή είσοδο του ενισχυτή είναι πιο ψηλή από την τάση στην αρνητική είσοδο, η έξοδος οδηγείται στην ψηλή τάση και όταν η τάση στην αρνητική είσοδο είναι πιο ψηλή από την τάση στην θετική είσοδο, η έξοδος οδηγείται στην χαμηλή τάση.
10. (α) Εάν η αντίσταση $R_1 = 100 \text{ k}\Omega$ (MSB), τότε:
 $R_2 = 200 \text{ k}\Omega$
 $R_3 = 400 \text{ k}\Omega$
 $R_4 = 800 \text{ k}\Omega$
 $R_5 = 1600 \text{ k}\Omega$ (LSB)
11. (α) Ενδείκτης 7-τμημάτων

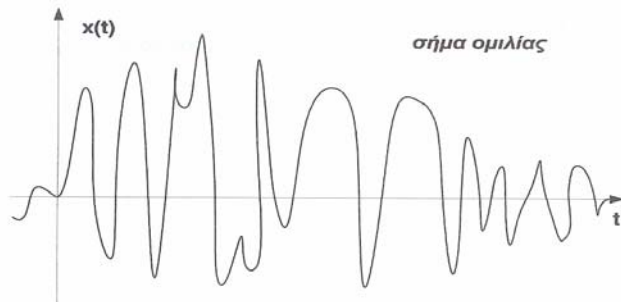


- (β) Για τον αριθμό 3 ενεργοποιούνται τα τμήματα:
a, b, c, d και g

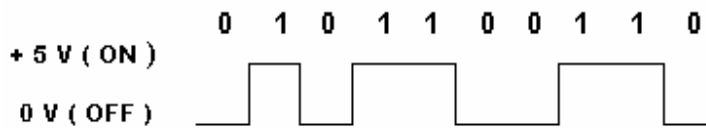


12. (α) Τα αναλογικά σήματα παίρνουν άπειρες τιμές, ενώ αντίθετα τα ψηφιακά σήματα παίρνουν μόνο δύο τιμές, τη ψηλή και τη χαμηλή.

(β) Αναλογικό σήμα

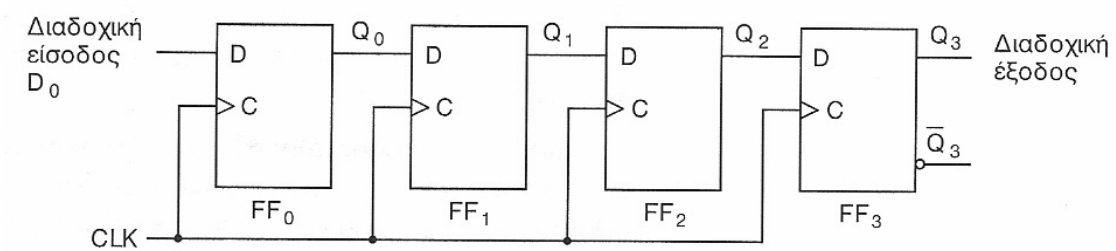


Ψηφιακό σήμα

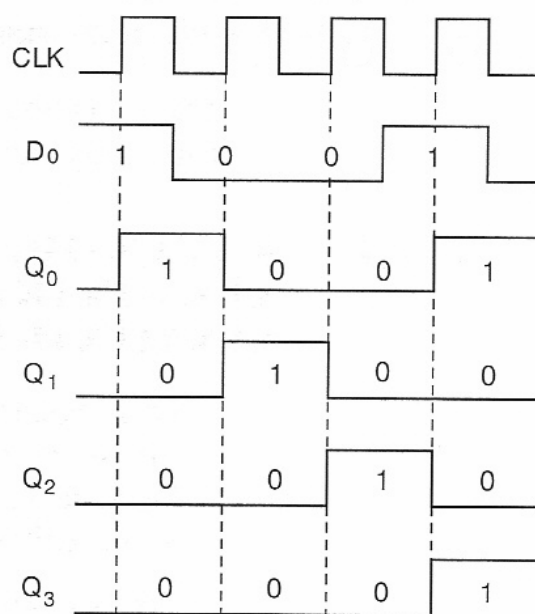


ΜΕΡΟΣ Β Το Μέρος Β αποτελείται από 4 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 8 μονάδες.

13. (α) Κύκλωμα καταχωρητή 4 bit με διαδοχική είσοδο και διαδοχική έξοδο



- (β) Χρονικά διαγράμματα εξόδων Φλιπ Φλοπ καταχωρητή 4 bit με διαδοχική έξοδο και διαδοχική έξοδο



14. (α) Ο πολυπλέκτης είναι ένα συνδυαστικό λογικό κύκλωμα που έχει πολλές πηγές εισόδου δεδομένων και μια μόνο έξοδο. Η επιλογή της γραμμής εισόδου που θα μεταφερθεί στην έξοδο εξαρτάται από το συνδυασμό των γραμμών επιλογής εισόδου.

- (β) Υλοποίηση της λογικής συνάρτησης με τη χρήση πολυπλέκτη 8X1

Αναπτύσσεται η λογική συνάρτηση σε κανονική μορφή:

$$Y = \bar{A} B + A B \bar{C} + \bar{A} C$$

$$Y = \bar{A} B (\bar{C} + C) + A B \bar{C} + \bar{A} (\bar{B} + B) C$$

010 (D ₂)	110 (D ₆)	001 (D ₁)
011 (D ₃)		011

ΜΕΤΑΒΛΗΤΕΣ ΕΙΣΟΔΟΥ			ΕΞΟΔΟΣ	ΔΕΔΟΜΕΝΑ
A	B	C	Y	D
0	0	0	0	D ₀
0	0	1	1	D ₁
0	1	0	1	D ₂
0	1	1	1	D ₃
1	0	0	0	D ₄
1	0	1	0	D ₅
1	1	0	1	D ₆
1	1	1	0	D ₇

Είσοδοι δεδομένων

Συνδέονται στο λογικό 1: D₁, D₂, D₃, D₆

Συνδέονται στο λογικό 0: D₀, D₄, D₅, D₇

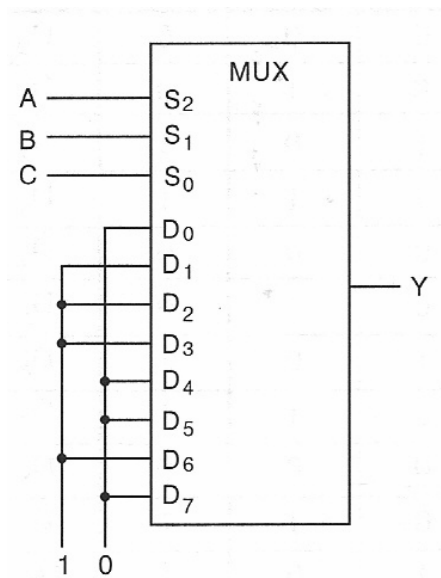
Είσοδοι Επιλογής δεδομένων

Οι είσοδοι επιλογής αποτελούν τις μεταβλητές της συνάρτησης:

S₂ → A

S₁ → B

S₀ → C



15. (α) Ο ασταθής πολυδονητής είναι ένα κύκλωμα με δύο καταστάσεις εξόδου (το λογικό 1 και το λογικό 0) χωρίς καμιά από τις δύο καταστάσεις να είναι σταθερή. Η έξοδος του πολυδονητή αλλάζει συνεχώς από τη μια κατάσταση στην άλλη. Έτσι ο ασταθής πολυδονητής είναι μια γεννήτρια παραγωγής ορθογώνιων παλμών.

(β) Περίοδος

$$T = 5 \text{ ms}$$

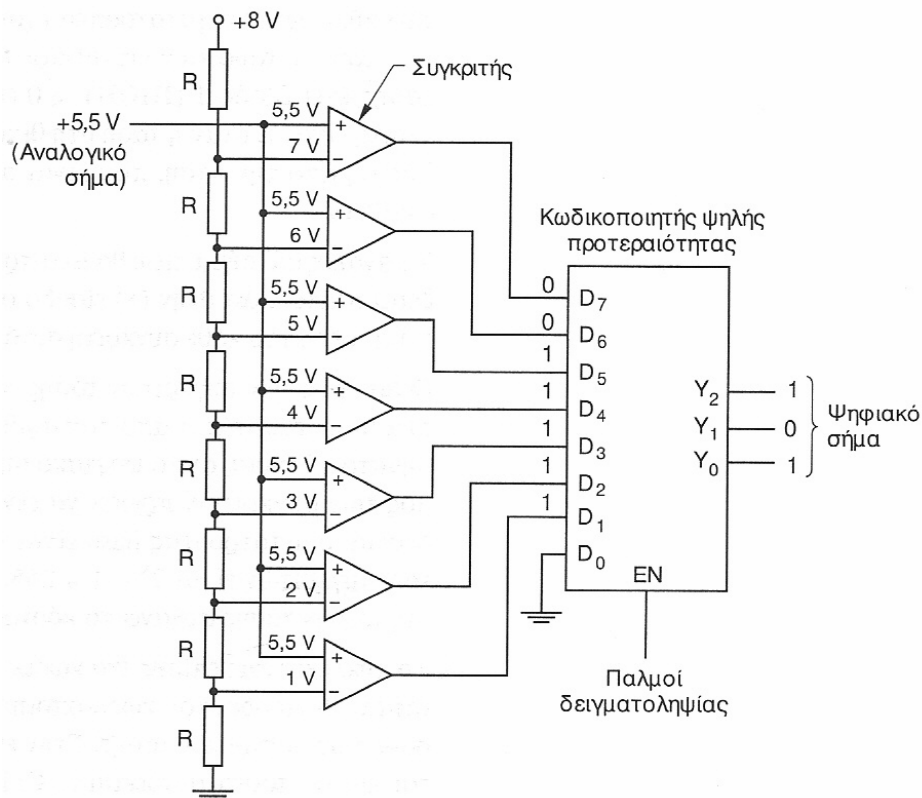
Συχνότητα

$$f = 1/T = 1/5 \text{ ms} = 200 \text{ Hz}$$

Κύκλος Δράσης

$$d = (3/5) \times 100 = 60 \%$$

16. (α) Το κύκλωμα αποτελείται από ένα κωδικοποιητή ψηλής προτεραιότητας και 7 κυκλώματα συγκριτών τάσης με τελεστικό ενισχυτή. Στην ορθή είσοδο του κάθε συγκριτή εφαρμόζεται το αναλογικό σήμα και στην αρνητική είσοδο μέσω ενός διαιρέτη τάσης το αντίστοιχο μέρος της τάσης αναφοράς.



Αν η τάση αναφοράς είναι 8 V και το αναλογικό σήμα είναι 5, 5 V, τότε έχουμε τις πιο κάτω καταστάσεις στα κυκλώματα των συγκριτών:

Ο πρώτος συγκριτής έχει στη θετική είσοδο 5, 5 V και την αρνητική 7 V και άρα έχει στην έξοδο 0.

Ο δεύτερος συγκριτής έχει στη θετική είσοδο 5, 5 V και την αρνητική 6 V και άρα έχει στην έξοδο 0.

Ο τρίτος συγκριτής έχει στη θετική είσοδο 5, 5 V και την αρνητική 5 V και άρα έχει στην έξοδο 1.

Όλοι οι υπόλοιποι συγκριτές έχουν έξοδο 1.

Άρα η λογική κατάσταση των εισόδων του κωδικοποιητή είναι:

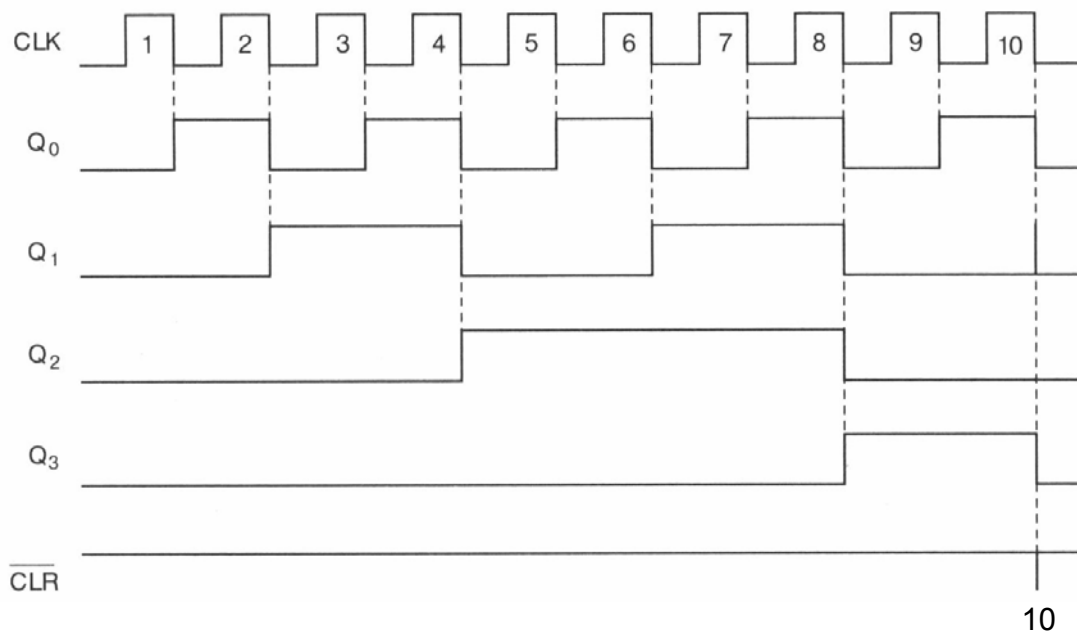
$$\begin{array}{cccc} D_7 = 0 & D_6 = 0 & D_5 = 1 & D_4 = 1 \\ D_3 = 1 & D_2 = 1 & D_1 = 1 & D_0 = 1 \end{array}$$

Έτσι ο κωδικοποιητής κωδικοποιεί την είσοδο D_5 , διότι είναι η είσοδος με το πιο μεγάλο αριθμό που έχει τη λογική κατάσταση 1 (κωδικοποιητής ψηλής προτεραιότητας) και δίνει στην έξοδο του τον κώδικα 101 για το αναλογικό σήμα των 5, 5 V.

- (β) Οι κωδικοποιητές Flash έχουν το πλεονέκτημα της άμεσης μετατροπής του αναλογικού σήματος σε ψηφιακό σε σχέση με τους αντίστοιχους μετατροπείς διαδοχικών προσεγγίσεων. Έχουν όμως το μειονέκτημα του κόστους.

ΜΕΡΟΣ Γ Το Μέρος Γ αποτελείται από 2 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 10 μονάδες.

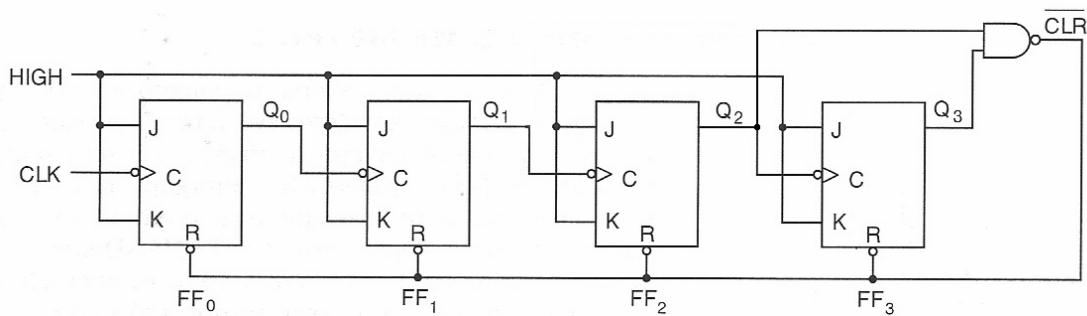
17. (α) Χρονικά διαγράμματα εξόδου δεκαδικού απαριθμητή



- (β) Όταν αφαιρεθεί η πύλη NAND ο απαριθμητής μετατρέπεται σε δυαδικό απαριθμητή 4 bit που μετρά μέχρι το 15 (Μέτρο 16, $2^4 = 16$).
- (γ) Ο απαριθμητής MOD 12 αριθμεί από το 0 μέχρι τον αριθμό 11, μηδενίζεται στον αριθμό 12 και επαναρχίζει την αρίθμηση πάλι από το 0.

$$12 = Q_3Q_2Q_1Q_0 = 1100$$

Οι έξοδοι Q_3 και Q_2 συνδέονται στις εισόδους της πύλης NAND. Η έξοδος της πύλης βρίσκεται κανονικά το λογικό 1, το σήμα CLR είναι ανενεργό και ο απαριθμητής αριθμεί τους παλμούς που εφαρμόζονται στην είσοδο του. Στον αριθμό 12, η έξοδος της πύλης γίνεται 0 και παράγει το σήμα CLR που μηδενίζει τον απαριθμητή.



18. (α) Με κάθε παλμό χρονισμού η λογική κατάσταση των εξόδων του Φλιπ Φλοπ αντιστρέφεται.
- (β) Το JK Φλιπ Φλοπ δεν έχει την απαγορευμένη ή απροσδιόριστη κατάσταση του SR Φλιπ Φλοπ, αλλά όταν το $J = K = 1$, οι έξοδοι του Φλιπ Φλοπ αλλάζουν κατάσταση.
- (γ) Χρονικά διαγράμματα JK Φλιπ Φλοπ.

