

ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΑΘΛΗΤΙΣΜΟΥ ΚΑΙ ΝΕΟΛΑΙΑΣ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ ΠΡΟΣΒΑΣΗΣ 2026

ΤΕΧΝΟΛΟΓΙΑ ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Ψηφιακά Ηλεκτρονικά II Τ.Σ. (Θ.Κ.) (410)
Ημερομηνία : Τρίτη, 23 Ιουνίου 2026
Ώρα εξέτασης : 08:00 – 10:30

Λύσεις

ΜΕΡΟΣ Α΄ - Το μέρος Α αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

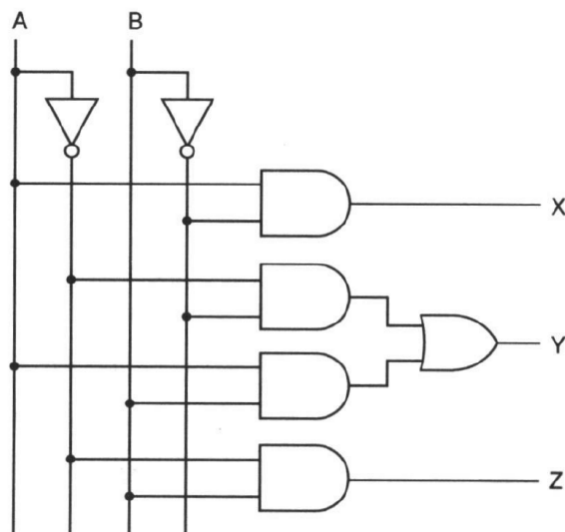
1. (α) Να δώσετε το μονό ψηφίο ισοτιμίας για τους κώδικες δεδομένων του πιο κάτω πίνακα.

ΚΩΔΙΚΕΣ ΔΕΔΟΜΕΝΩΝ	ΜΟΝΟ ΨΗΦΙΟ ΙΣΟΤΙΜΙΑΣ
1 0 1 0	1
1 1 0 1 1	1
1 1 1 1 0 1	0
1 1 1 1 1 1 1	0

- (β) Έναν κύκλωμα ελέγχου για ζυγό ψηφίο ισοτιμίας δέχεται τις πιο κάτω κωδικές λέξεις. Να προσδιορίσετε ποιες λέξεις είναι σωστές και ποιες είναι λανθασμένες.

ΚΩΔΙΚΗ ΛΕΞΗ	ΣΩΣΤΟ / ΛΑΘΟΣ
1 0 1 1 1	ΣΩΣΤΟ
1 0 0 1 1 1	ΣΩΣΤΟ
1 0 1 0 1 0 0	ΛΑΘΟΣ
1 1 0 1 0 1 1 0	ΛΑΘΟΣ

2. Δίνεται το πιο κάτω λογικό κύκλωμα (Σχήμα 1).



Σχήμα 1

- (α) Να δώσετε την ακριβή ονομασία του κυκλώματος του Σχήματος 1.

Ψηφιακός συγκριτής 1-bit

(β) Να γράψετε τη λογική συνάρτηση της εξόδου Y του κυκλώματος του Σχήματος 1.

$$Y = \bar{A} \cdot \bar{B} + A \cdot B \quad \text{ή} \quad Y = \overline{A \oplus B} \quad \text{ή} \quad Y = A \odot B$$

3. Για καθεμιά από τις πιο κάτω δηλώσεις να απαντήσετε ΣΩΣΤΟ ή ΛΑΘΟΣ.

(α) Κυκλώματα της λογικής οικογένειας TTL χρησιμοποιούν τα τρανζίστορ MOSFET για την κατασκευή τους.

ΛΑΘΟΣ

(β) Ένα από τα πλεονεκτήματα της λογικής οικογένειας TTL σε σύγκριση με τη CMOS είναι το μεγαλύτερο εύρος τάσης τροφοδοσίας / λειτουργίας της (3 V – 15 V).

ΛΑΘΟΣ

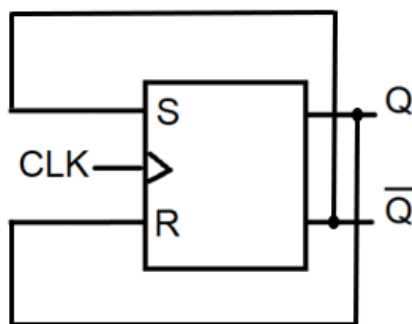
(γ) Οι λογικές πύλες και γενικά τα λογικά κυκλώματα, που είναι κατασκευασμένα σύμφωνα με καθορισμένα τεχνολογικά κριτήρια, αποτελούν μια λογική οικογένεια.

ΣΩΣΤΟ

(δ) Η «καταναλισκόμενη ισχύς» είναι ένα χαρακτηριστικό που χαρακτηρίζει τις λογικές οικογένειες.

ΣΩΣΤΟ

4. (α) Να μετατρέψετε το SR Φλιπ Φλοπ του Σχήματος 2, ώστε να λειτουργεί ως T Φλιπ Φλοπ.



Σχήμα 2

(β) Να υπολογίσετε πόσα T Φλιπ Φλοπ θα χρησιμοποιήσετε για να σχεδιάσετε λογικό κύκλωμα διαιρέτη συχνότητας από 16 kHz σε 2 kHz.

$$16 \text{ kHz} \xrightarrow{1 \text{ FF}} 8 \text{ kHz} \xrightarrow{2 \text{ FF}} 4 \text{ kHz} \xrightarrow{3 \text{ FF}} 2 \text{ kHz}$$

Θα χρησιμοποιηθούν 3 Φλιπ Φλοπ

5. (α) Να υπολογίσετε το μέγιστο μέτρο (max MOD) ενός απαριθμητή που έχει 6 Φλιπ Φλοπ.

$$\mathit{max MOD} = 2^6 = 64$$

(1 μον.)

- (β) Να υπολογίσετε πόσα Φλιπ Φλοπ χρειάζονται για να κατασκευαστεί απαριθμητής με μέτρο 20 (MOD 20).

$$16 < 20 < 32 \quad 2^4 < 20 < 2^5 \quad \text{Χρειάζονται } \underline{5} \text{ Φλιπ Φλοπ}$$

(1 μον.)

- (γ) Ασύγχρονος απαριθμητής έχει 4 Φλιπ Φλοπ, με χρόνο καθυστέρησης 25 ns το καθένα. Να υπολογίσετε τη μέγιστη συχνότητα λειτουργίας του απαριθμητή.

$$f_{\mathit{max}} = \frac{1}{nt_p} = \frac{1}{4 \cdot 25 \text{ ns}} = 10 \text{ MHz}$$

(2 μον.)

6. Στο Σχήμα 3 δίνεται το λογικό σύμβολο αποκωδικοποιητή 2-bit σε 4 γραμμές.



Σχήμα 3

- (α) Να συμπληρώσετε τον πίνακα λειτουργίας (Πίνακας 1) του κυκλώματος.

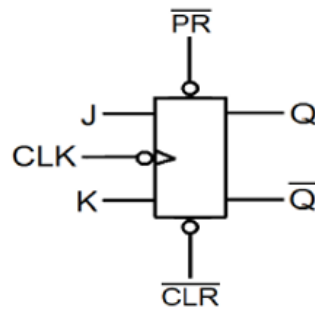
Είσοδοι		Έξοδοι			
A ₁	A ₀	Y ₀	Y ₁	Y ₂	Y ₃
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Πίνακας 1

(β) Να δώσετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποκωδικοποιητή.

$$\begin{array}{ll} \bar{Y}_0 = \bar{A}_1 \bar{A}_0 & (0, 0) & Y_0 = \overline{\bar{A}_1 \bar{A}_0} = A_1 + A_0 \\ \bar{Y}_1 = \bar{A}_1 A_0 & (0, 1) & Y_1 = \overline{\bar{A}_1 A_0} = A_1 + \bar{A}_0 \\ \bar{Y}_2 = A_1 \bar{A}_0 & (1, 0) & Y_2 = \overline{A_1 \bar{A}_0} = \bar{A}_1 + A_0 \\ \bar{Y}_3 = A_1 A_0 & (1, 1) & Y_3 = \overline{A_1 A_0} = \bar{A}_1 + \bar{A}_0 \end{array}$$

7. Στο Σχήμα 4 δίνεται το λογικό σύμβολο ενός JK Φλιπ Φλοπ.

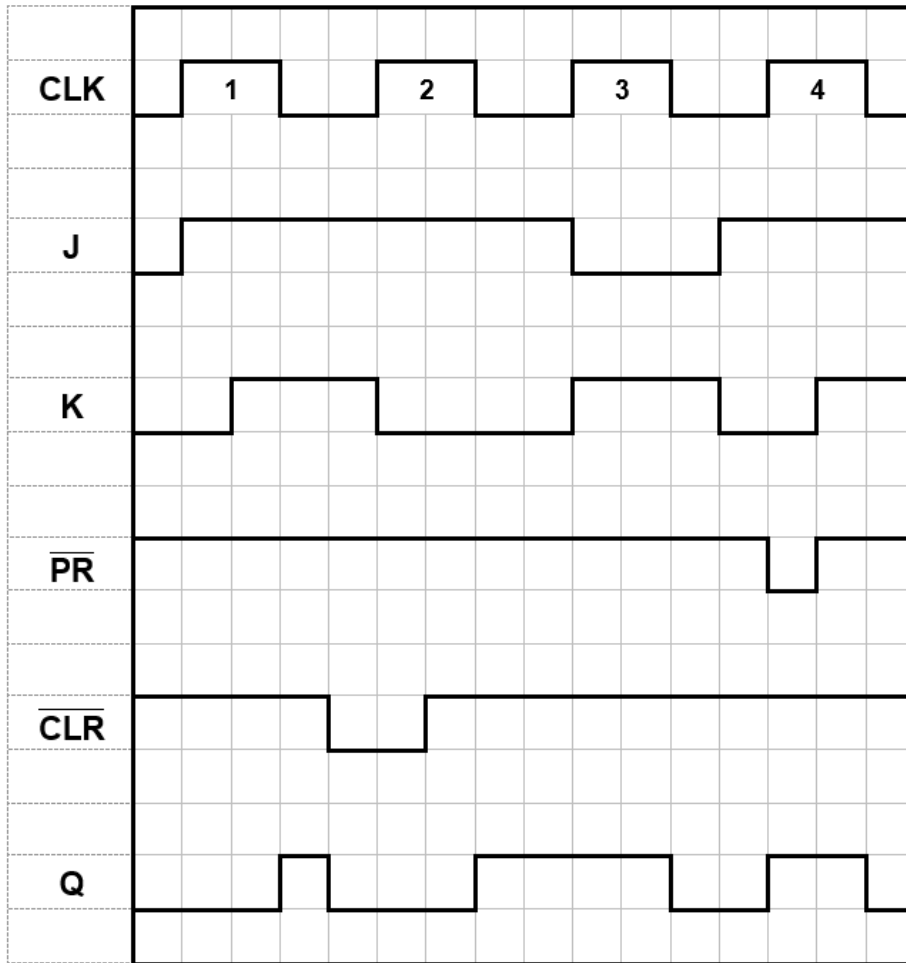


Σχήμα 4

(α) Να αναφέρετε ποιες από τις εισόδους του πιο πάνω Φλιπ Φλοπ είναι ασύγχρονες.

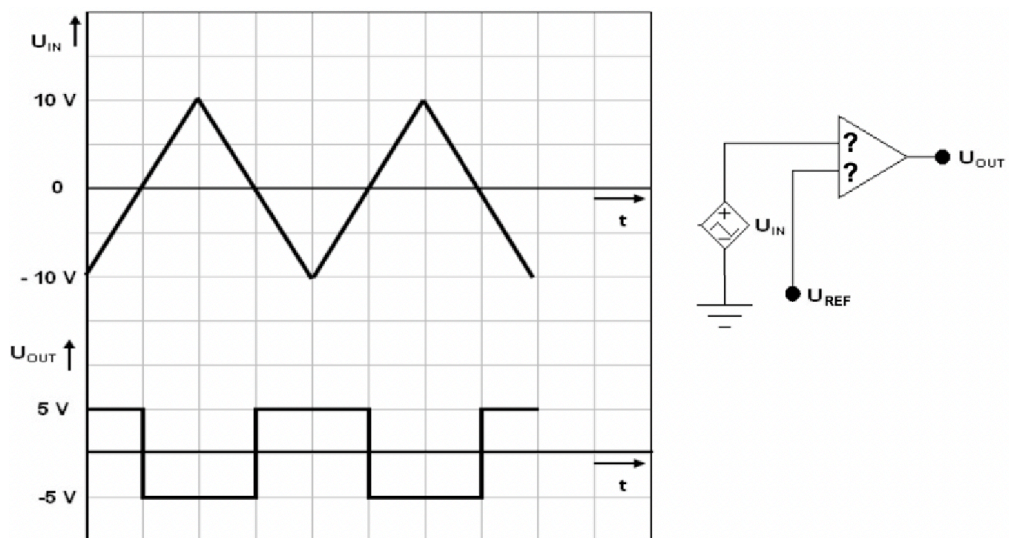
Οι εισόδοι \overline{PR} (Preset) και \overline{CLR} (Clear)

(β) Στο Σχήμα 5 δίνονται τα χρονικά διαγράμματα των εισόδων του JK Φλιπ Φλοπ του Σχήματος 4. Να σχεδιάσετε στο Σχήμα 5 το χρονικό διάγραμμα της εξόδου (Q) του JK Φλιπ Φλοπ. Αρχικά το Φλιπ Φλοπ βρίσκεται στην κατάσταση RESET.



Σχήμα 5

8. Στο Σχήμα 6 δίνονται το κύκλωμα συγκριτή τάσης και τα σήματα εισόδου και εξόδου του συγκριτή. Οι μέγιστες τάσεις εξόδου είναι $\pm 5 \text{ V}$.



Σχήμα 6

- (α) Να αναφέρετε σε ποια είσοδο (?) από τις δύο που έχει ο τελεστικός ενισχυτής, εφαρμόζεται το σήμα U_{IN} και σε ποια το σήμα U_{REF} .
(Σημείωση: Οι δύο είσοδοι του τελεστικού ενισχυτή είναι η « + » και η « - ».
Να απαντήσετε [+] ή [-] για το U_{IN} και το U_{REF} ΠΙΟ ΚΑΤΩ.)

U_{IN} : **Εφαρμόζεται στην είσοδο [-] του τελεστικού ενισχυτή**

U_{REF} : **Εφαρμόζεται στην είσοδο [+] του τελεστικού ενισχυτή**

- (β) Να δώσετε την τιμή της τάσης U_{REF} .

$$U_{REF} (V) = \underline{0 V}$$

9. Απαριθμητής Τζόνσον (Johnson) 6-bit έχει συχνότητα ωρολογιακών παλμών $f_{CLK} = 600 \text{ kHz}$.

- (α) Να αναφέρετε πόσες διαφορετικές λογικές καταστάσεις εμφανίζει στις εξόδους του.

$$2N = 2 \cdot 6 = \underline{12} \text{ διαφορετικές καταστάσεις}$$

- (β) Να υπολογίσετε τη συχνότητα των παλμών εξόδου του ίδιου απαριθμητή.

$$f_Q = \frac{1}{2N} f_{CLK} = \frac{600 \text{ kHz}}{2 \cdot 6} = \underline{50 \text{ kHz}} = \underline{50000 \text{ Hz}}$$

10. Ασταθής πολυδονητής έχει κύκλο δράσης (d) 40% και παράγει παλμούς με συχνότητα (f) 200 kHz.

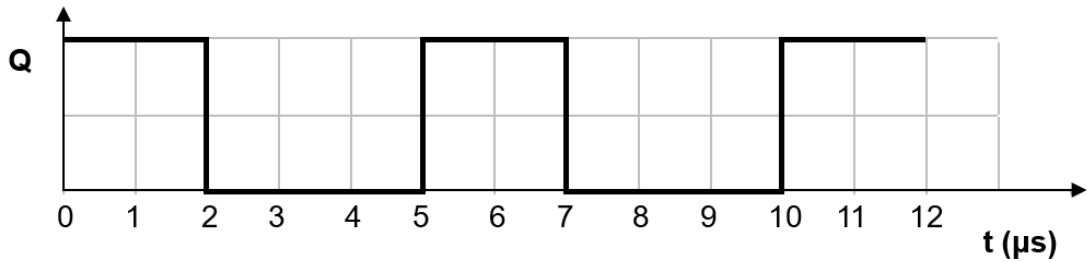
- (α) Να υπολογίσετε τον χρόνο t_H κατά τον οποίο οι παλμοί παραμένουν στο ψηλό επίπεδο (HIGH, λογικό 1).

$$T = \frac{1}{f} = \frac{1}{200 \cdot 10^3} = \underline{5 \mu s}$$

$$d = \frac{t_H}{T} \cdot 100\% \Rightarrow t_H = \frac{d \cdot T}{100\%} = \frac{40\% \cdot 5}{100\%} = \underline{2 \mu s}$$

- (β) Να σχεδιάσετε στο Σχήμα 7 την κυματομορφή εξόδου του ασταθή πολυδονητή (αρχίζοντας με τον χρόνο κατά τον οποίο το σήμα βρίσκεται στο ψηλό επίπεδο (HIGH, λογικό 1)).

$$t_L = T - t_H = 5 - 2 = \underline{3 \mu s}$$



Σχήμα 7

11. (α) Οι έξοδοι κυκλώματος μετατροπέα από BCD σε 7-τμηματική μονάδα ένδειξης κοινής ανόδου, έχουν τις ακόλουθες λογικές καταστάσεις:

$$a = 0, \quad b = 0, \quad c = 0, \quad d = 1, \quad e = 1, \quad f = 1, \quad g = 1.$$

Να δώσετε τον κώδικα BCD που εφαρμόζεται στην είσοδο του μετατροπέα.

Ο κώδικας BCD που εφαρμόζεται στην είσοδο του μετατροπέα είναι: 0111

- (β) Να υπολογίσετε τον αριθμό εξόδων αποκωδικοποιητή με 6-bit στην είσοδό του.

$$M_{max} = 2^N = 2^6 = \underline{64} \text{ εξόδους}$$

Αριθμός εξόδων = 64

12. Στην έξοδο πολυπλέκτη με τρεις γραμμές επιλογής εισόδου, μεταφέρονται πληροφορίες από συνδρομητές σταθερής τηλεφωνίας. Οι πληροφορίες διοχετεύονται σε αντίστοιχο αριθμό συνδρομητών / παραληπτών μέσω ενός αποπολυπλέκτη. Να υπολογίσετε:

- (α) Τον αριθμό των εξόδων του αποπολυπλέκτη.

$$\text{Είσοδοι πολυπλέκτη} = 2^N = 2^3 = 8 \quad (= \text{αριθμό συνδρομητών})$$

$$\text{Αριθμός παραληπτών} = \text{Αριθμό συνδρομητών} = \text{Αριθμό εξόδων DEMUX} = 8$$

- (β) Τον αριθμό γραμμών επιλογής εξόδου του αποπολυπλέκτη.

$$8 = 2^N \quad \Rightarrow \quad N = 3$$

Αριθμός γραμμών επιλογής εξόδου δεδομένων του αποπολυπλέκτη = 3

ΜΕΡΟΣ Β΄ - Το μέρος Β αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. (α) Να δώσετε τον ορισμό του μονοσταθή πολυδονητή.

Ο μονοσταθής πολυδονητής είναι ένα κύκλωμα που έχει μια σταθερή κατάσταση εξόδου. Όταν διεγερθεί, μεταβαίνει για καθορισμένο χρονικό διάστημα στη μη σταθερή του κατάσταση, παράγοντας έτσι έναν παλμό ορισμένης χρονικής διάρκειας και στη συνέχεια επιστρέφει αυτόματα στη σταθερή του κατάσταση.

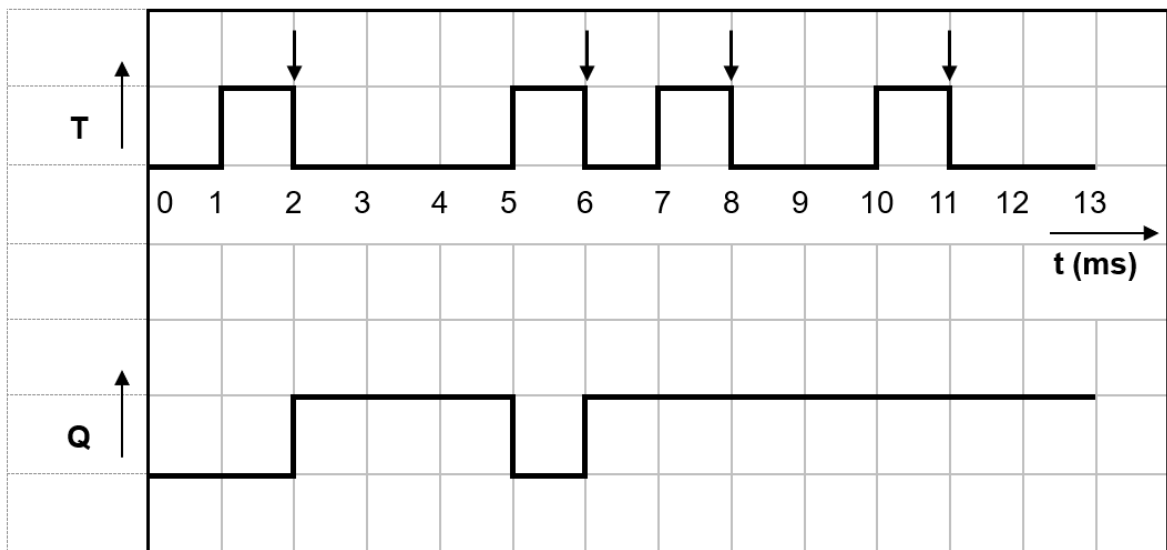
(2 μον.)

(β) Να εξηγήσετε τη λειτουργία του μη επαναδιεγερόμενου μονοσταθή πολυδονητή.

Ο μη επαναδιεγερόμενος μονοσταθής πολυδονητής διεγείρεται μόνον όταν βρίσκεται στη σταθερή του κατάσταση και όταν διανύσει τον χρόνο βολής του, επιστρέφει στη σταθερή του κατάσταση.

(2 μον.)

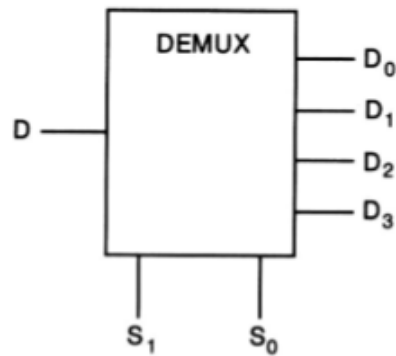
(γ) Επαναδιεγερόμενος μονοσταθής πολυδονητής διεγείρεται στα αρνητικά μέτωπα των παλμών διέγερσης T (Σχήμα 8) και έχει χρόνο βολής 3 ms. Η σταθερή κατάσταση του μονοσταθή πολυδονητή είναι το λογικό 0. Να σχεδιάσετε στο Σχήμα 8 το χρονικό διάγραμμα της εξόδου Q του μονοσταθή πολυδονητή.



Σχήμα 8

(4 μον.)

14. Στο Σχήμα 9 δίνεται το λογικό σύμβολο αποπολυπλέκτη μιας γραμμής σε τέσσερις. Στις γραμμές επιλογής εξόδου δεδομένων, το S_1 είναι το MSB.



Σχήμα 9

- (α) Να συμπληρώσετε τον πίνακα λειτουργίας (Πίνακας 2) του αποπολυπλέκτη του Σχήματος 9.

Είσοδοι Επιλογής		Έξοδοι			
S_1	S_0	D_0	D_1	D_2	D_3
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

Πίνακας 2

- (β) Να γράψετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποπολυπλέκτη του Σχήματος 9.

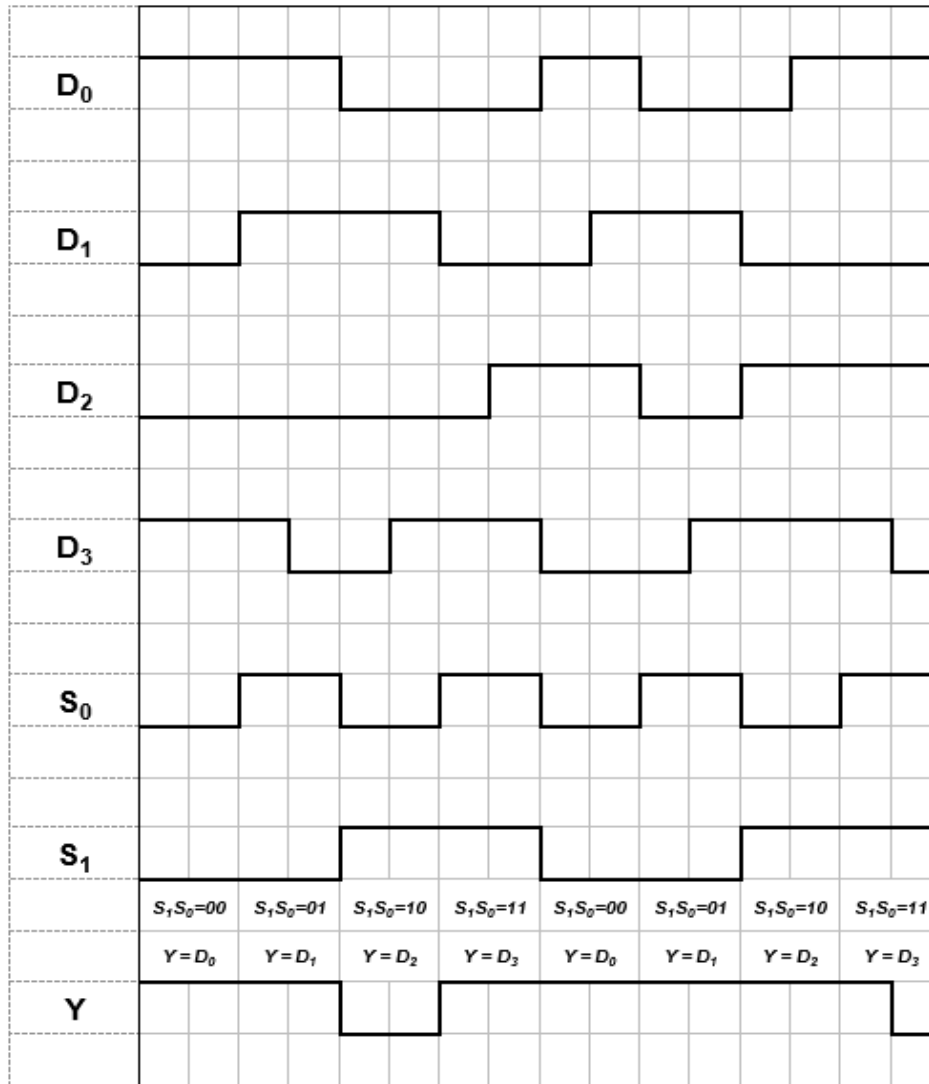
$$D_0 = \bar{S}_1 \cdot \bar{S}_0 \cdot D$$

$$D_1 = \bar{S}_1 \cdot S_0 \cdot D$$

$$D_2 = S_1 \cdot \bar{S}_0 \cdot D$$

$$D_3 = S_1 \cdot S_0 \cdot D$$

- (γ) Στο Σχήμα 10 δίνονται τα χρονικά διαγράμματα των εισόδων πολυπλέκτη με 4 γραμμές εισόδου δεδομένων και δύο γραμμές επιλογής εισόδου S_1 και S_0 (S_1 είναι το MSB). Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Y του πολυπλέκτη.



Σχήμα 10

(δ) Ένας πολυπλέκτης έχει 16 εισόδους δεδομένων. Πόσες γραμμές επιλογής εισόδου δεδομένων πρέπει να έχει ο πολυπλέκτης;

$$16 = 2^N \Rightarrow N = 4$$

Γραμμές επιλογής εισόδου δεδομένων = 4

15. (α) Δίνονται τα ακόλουθα δεδομένα που αφορούν κύκλωμα καταχωρητή:
- Για να εξέλθει μια πληροφορία που βρίσκεται καταχωρημένη στον καταχωρητή, απαιτείται συνολικός χρόνος 80 ns.
 - Για να εισέλθει και να εξέλθει η ίδια πληροφορία στον καταχωρητή απαιτούνται εννέα ωρολογιακοί παλμοί.
 - Κάθε Φλιπ Φλοπ του εν λόγω καταχωρητή έχει χρόνο καθυστέρησης 10 ns.
- (i) Να αναφέρετε τον τύπο του καταχωρητή.

Ο τύπος του καταχωρητή είναι: παράλληλης εισόδου – διαδοχικής εξόδου (PISO) (1 παλμός CLK για εισαγωγή και 8 παλμοί για εξαγωγή) (2 μον.)

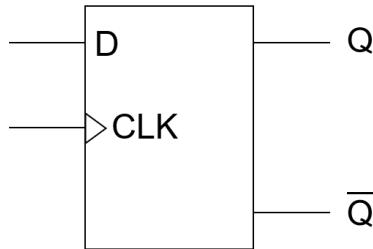
(ii) Να υπολογίσετε τον αριθμό των ψηφίων (bit) της πληροφορίας.

Αριθμός των Φλιπ Φλοπ του καταχωρητή = $80 / 10 = 8$ Φλιπ Φλοπ

⇒ Η πληροφορία είναι 8-bit

(2 μον.)

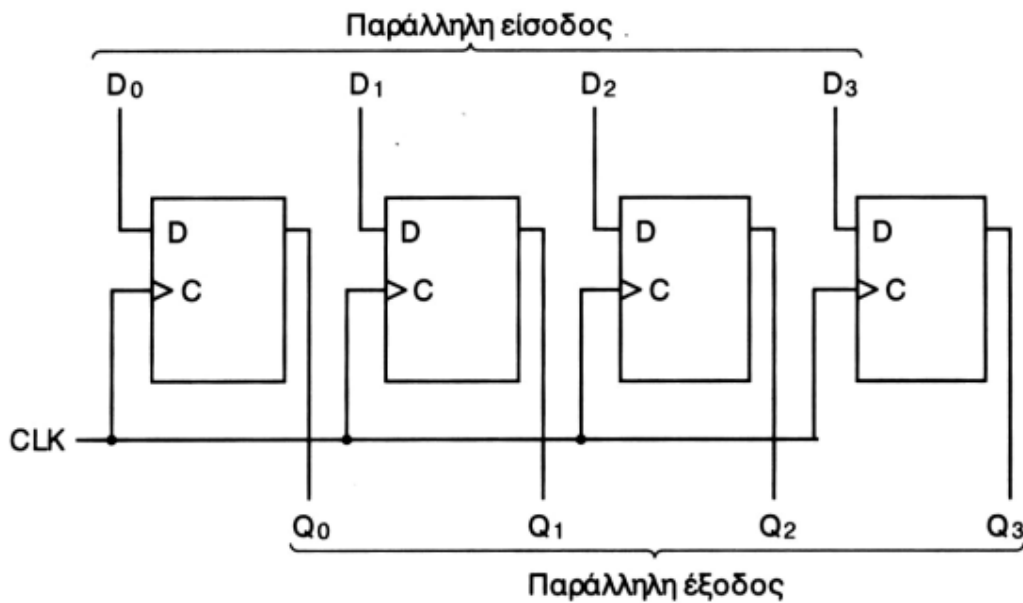
(β) Με τη χρήση του D Φλιπ Φλοπ του Σχήματος 11, να σχεδιάσετε το λογικό κύκλωμα καταχωρητή παράλληλης εισόδου – παράλληλης εξόδου, στον οποίο να μπορεί να καταχωρηθεί πληροφορία των 4-bit.



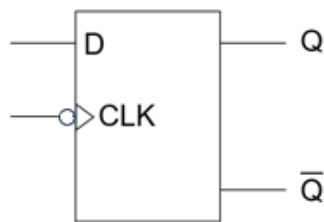
Σχήμα 11

(4 μον.)

Λογικό κύκλωμα καταχωρητή PIPO:



16. Στο Σχήμα 12 δίνεται το λογικό σύμβολο σύγχρονου D Φλιπ Φλοπ.



Σχήμα 12

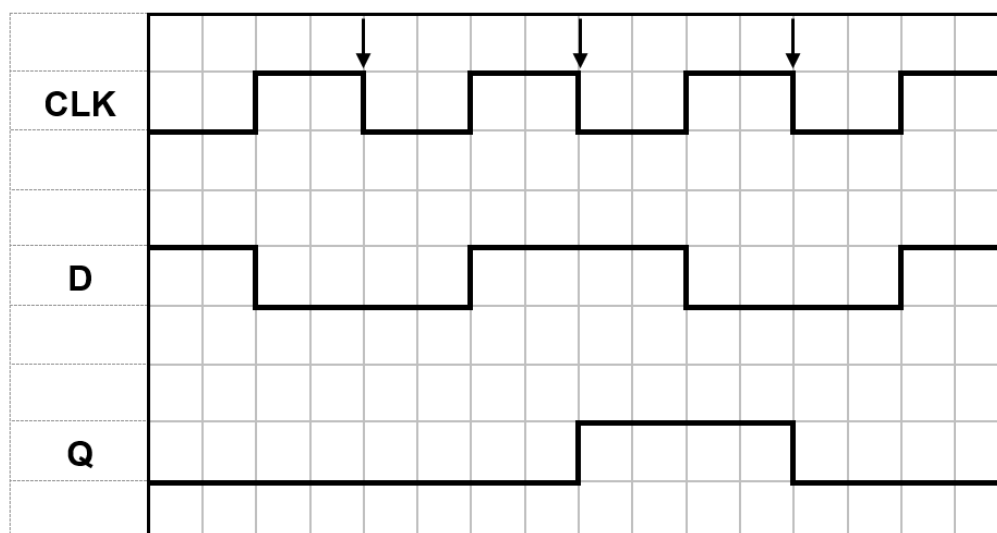
(α) Να συμπληρώσετε τον πίνακα αληθείας του D Φλιπ Φλοπ (Πίνακας 3).

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		
CLK	D	Q_{n+1}	\overline{Q}_{n+1}	ΚΑΤΑΣΤΑΣΗ
↓	1	1	0	SET
↓	0	0	1	RESET
↑	1	Q_n	\overline{Q}_n	MEMORY
↑	0	Q_n	\overline{Q}_n	MEMORY

Πίνακας 3

(4 μον.)

(β) Στο Σχήμα 13 δίνονται τα χρονικά διαγράμματα των εισόδων D και CLK του D Φλιπ Φλοπ του Σχήματος 12. Να σχεδιάσετε στο ίδιο σχήμα (Σχήμα 13), το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ. Η αρχική κατάσταση του Φλιπ Φλοπ είναι η RESET.



Σχήμα 13

(2 μον.)

(γ) Να αναφέρετε δύο εφαρμογές των Φλιπ Φλοπ.

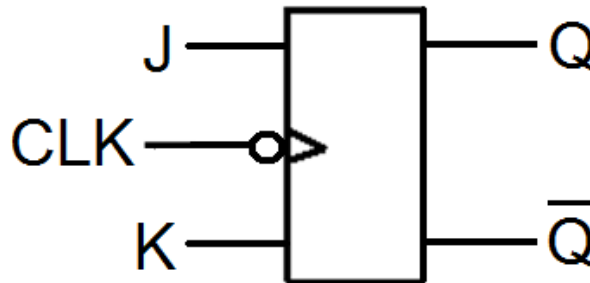
Δύο από τις πιο κάτω εφαρμογές:

- Σε κυκλώματα απαριθμητών
- Σε κυκλώματα καταχωρητών
- Σε κυκλώματα αποκοπής παρασιτικών παλμών από μηχανικούς διακόπτες
- Ως διαιρέτες συχνότητας
- Ως στοιχεία μνήμης

(2 μον.)

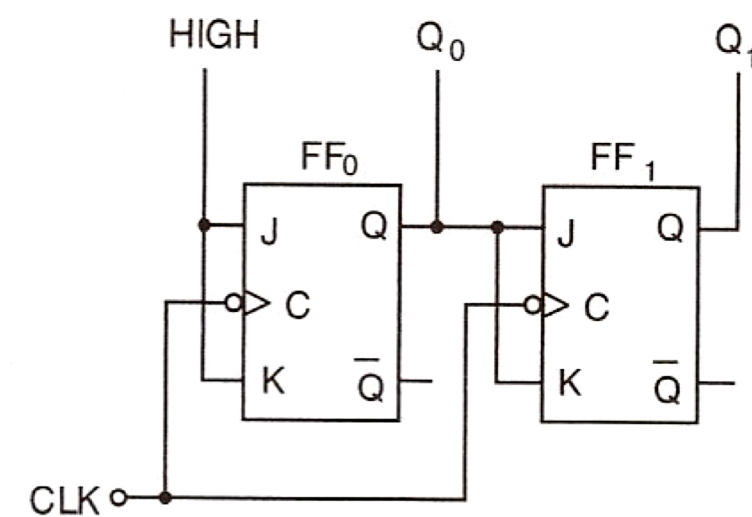
ΜΕΡΟΣ Γ' - Το μέρος Γ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.

17. (α) Δίνεται το JK Φλιπ Φλοπ του Σχήματος 14. Να σχεδιάσετε το κύκλωμα σύγχρονου δυαδικού απαριθμητή ο οποίος να κάνει τη μέτρηση $00 \rightarrow 01 \rightarrow 10 \rightarrow 11 \rightarrow 00$, χρησιμοποιώντας τον ελάχιστο αριθμό JK Φλιπ Φλοπ που απαιτούνται.

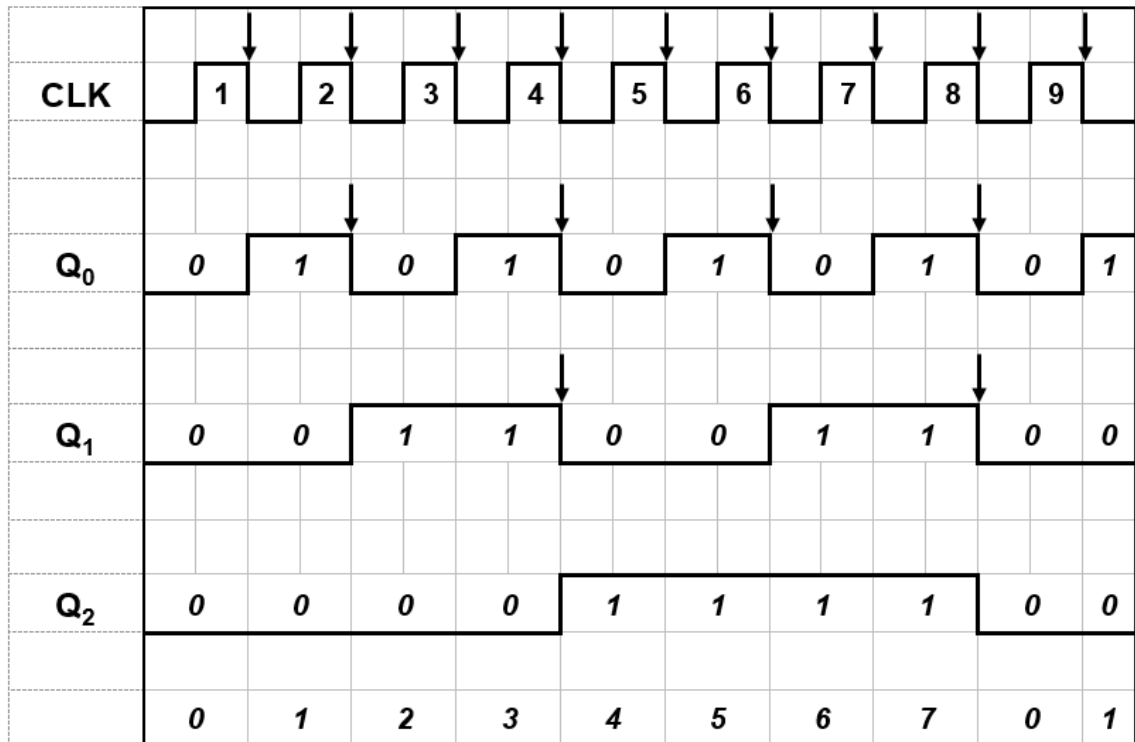


Σχήμα 14

(3 μον.)



(β) Στο Σχήμα 15 να σχεδιάσετε για εννιά ωρολογιακούς παλμούς, τα χρονικά διαγράμματα των εξόδων (Q_0 , Q_1 , Q_2) ενός σύγχρονου δυαδικού απαριθμητή 3-bit που μετρά προς τα πάνω. Ο απαριθμητής αποτελείται από JK Φλιπ Φλοπ τα οποία χρονίζονται στα αρνητικά μέτωπα των ωρολογιακών παλμών. Η αρχική κατάσταση του απαριθμητή είναι το λογικό 0 (RESET).



Σχήμα 15

(3 μον.)

(γ) Ασύγχρονος δυαδικός απαριθμητής χρησιμοποιεί FF με χρόνο καθυστέρησης 25 ns. Αν η συχνότητα του CLK είναι 5 MHz, να υπολογίσετε το μέγιστο μέτρο του απαριθμητή.

Μέγιστος Αριθμός Φλιπ Φλοπ:

$$\frac{1}{5 \text{ MHz}} = 200 \text{ ns}$$

$$\frac{200 \text{ ns}}{25 \text{ ns}} = 8 \text{ Φλιπ Φλοπ} \quad (= n, \text{ αριθμός των Φλιπ Φλοπ})$$

$$\text{Μέγιστο μέτρο, } \max MOD = 2^n = 2^8 = 256$$

(2 μον.)

(δ) Η συχνότητα των ωρολογιακών παλμών σε έναν απαριθμητή με μέτρο 10 είναι 2 MHz. Να υπολογίσετε τη συχνότητα των παλμών στην έξοδο του Φλιπ Φλοπ που δίνει το περισσότερο σημαντικό ψηφίο (MSB).

$$f = \frac{f_{CLK}}{N} = \frac{2 \cdot 10^6}{10} = \frac{2000000}{10} = 200000 \text{ Hz} = 200 \text{ kHz}$$

(1 μον.)

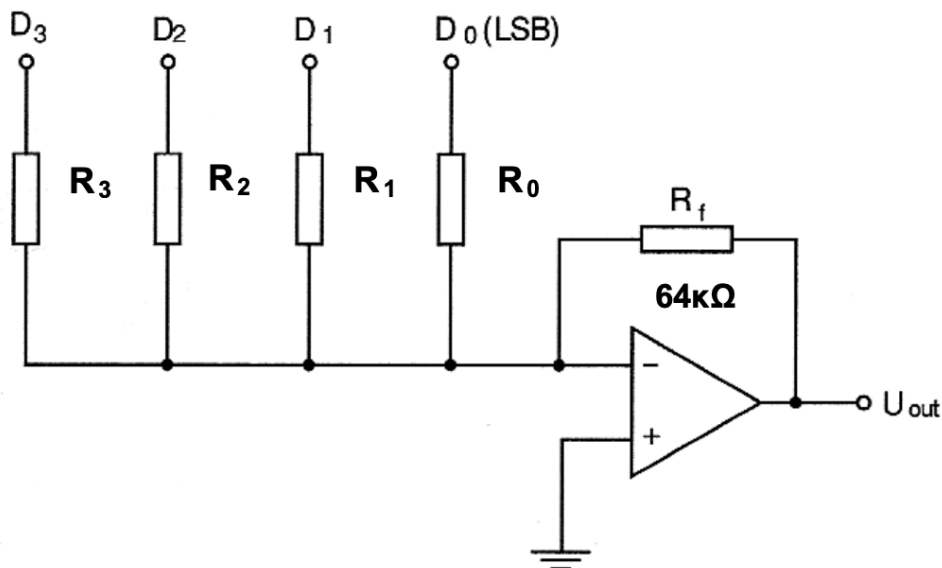
(ε) Να αναφέρετε ένα χαρακτηριστικό των απαριθμητών.

Ένα από τα πιο κάτω χαρακτηριστικά:

- Κατεύθυνση μέτρησης
- Κώδικας αρίθμησης
- Αριθμός Φλιπ Φλοπ
- Μέτρο και μέγιστο μέτρο
- Ασύγχρονοι και σύγχρονοι

(1 μον.)

18. Στο Σχήμα 16 δίνεται το κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό, με τελεστικό ενισχυτή και αντιστάσεις σταθμισμένες στο δυαδικό σύστημα. Για τη λογική κατάσταση εισόδου $D_3D_2D_1D_0 = 0001$, ο μετατροπέας δίνει στην έξοδο του τάση $U_{out} = -1$ V.



Σχήμα 16

(α) Να υπολογίσετε τις τιμές των αντιστάσεων R_0 , R_1 , R_2 , του Σχήματος 16, αν η αντίσταση $R_3 = 40$ kΩ.

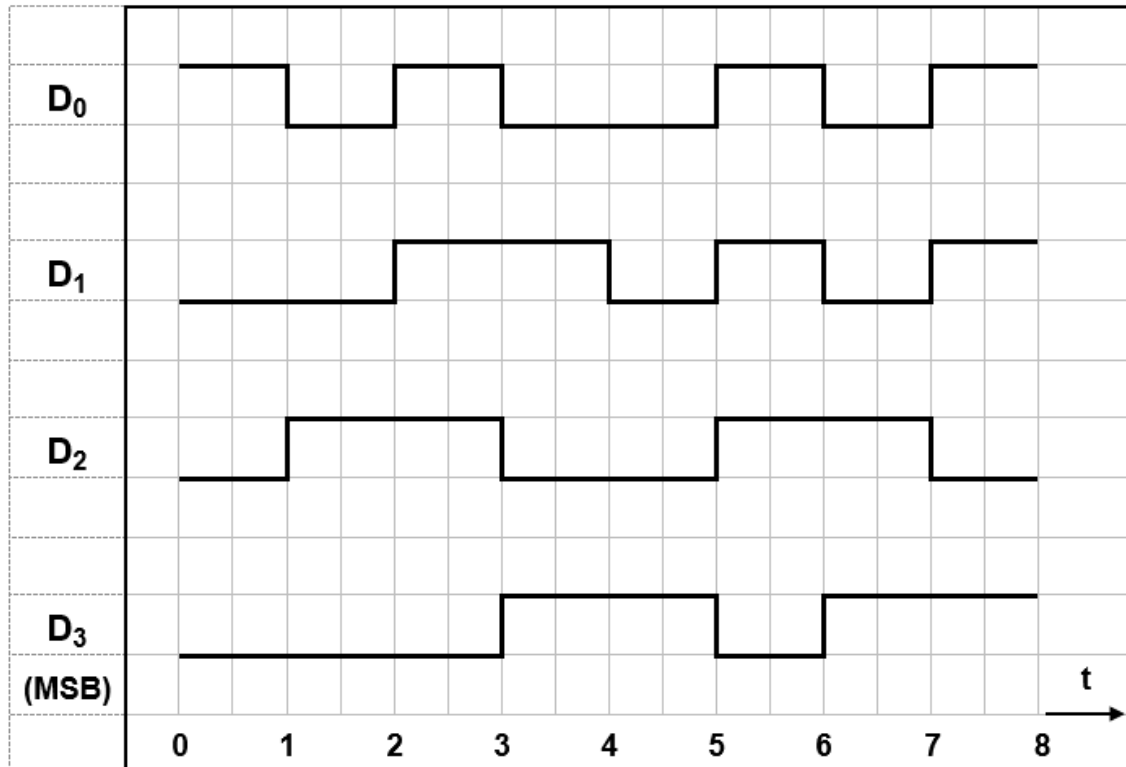
$R_0 = \dots 320 \text{ k}\Omega \dots$

$R_1 = \dots 160 \text{ k}\Omega \dots$

$R_2 = \dots 80 \text{ k}\Omega \dots$

(2 μον.)

(β) Στο Σχήμα 17 δίνεται το ψηφιακό σήμα που εφαρμόζεται στην είσοδο του πιο πάνω μετατροπέα.



Σχήμα 17

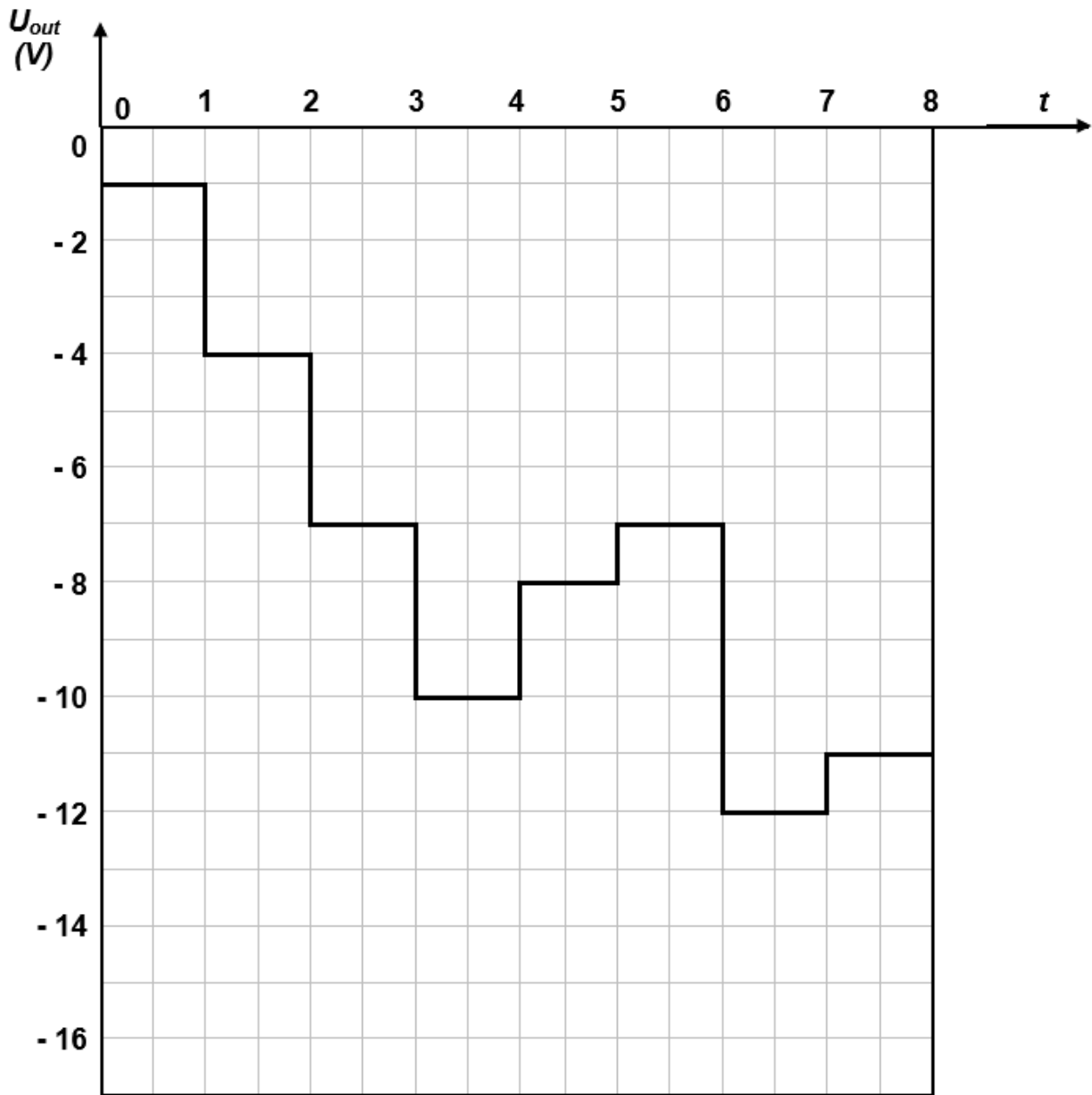
Να συμπληρώσετε τον Πίνακα 4 με τις τιμές του ψηφιακού σήματος εισόδου και του αναλογικού σήματος εξόδου του μετατροπέα.

ΧΡΟΝΟΣ (t)	ΕΙΣΟΔΟΣ				ΕΞΟΔΟΣ
	D ₃	D ₂	D ₁	D ₀	U _{out} (V)
0 - 1	0	0	0	1	- 1
1 - 2	0	1	0	0	- 4
2 - 3	0	1	1	1	- 7
3 - 4	1	0	1	0	- 10
4 - 5	1	0	0	0	- 8
5 - 6	0	1	1	1	- 7
6 - 7	1	1	0	0	- 12
7 - 8	1	0	1	1	- 11

Πίνακας 4

(4 μον.)

(γ) Στο Σχήμα 18 να σχεδιάσετε το (σκαλωτό) αναλογικό σήμα εξόδου (U_{out}) του μετατροπέα του Σχήματος 16.



Σχήμα 18

(4 μον.)

----- ΤΕΛΟΣ ΛΥΣΕΩΝ -----