

ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΑΘΛΗΤΙΣΜΟΥ ΚΑΙ ΝΕΟΛΑΙΑΣ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ ΠΡΟΣΒΑΣΗΣ 2024

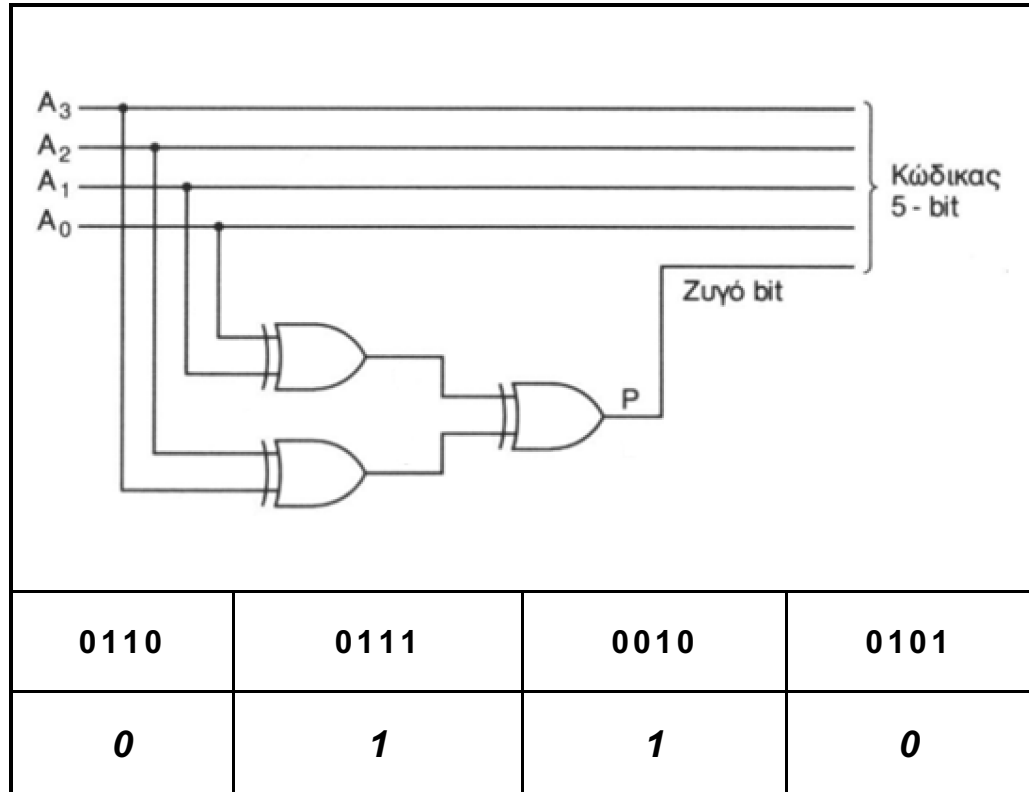
ΤΕΧΝΟΛΟΓΙΑ ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΠΡΑΚΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Τεχνολογία και Εργαστήρια Ψηφιακών Ηλεκτρονικών II (510)
Ημερομηνία : Τρίτη, 18 Ιουνίου 2024
Ωρα εξέτασης : 08:00 – 10:30

Λύσεις

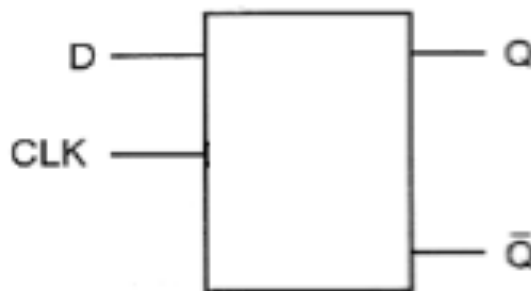
ΜΕΡΟΣ Α΄ - Το μέρος Α αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. Στο Σχήμα 1 δίνονται το κύκλωμα παραγωγής ζυγού ψηφίου ισοτιμίας στον κώδικα BCD και ψηφιακοί κώδικες που εφαρμόζονται στην είσοδο του κυκλώματος. Για κάθε ψηφιακό κώδικα, να γράψετε το ζυγό ψηφίο ισοτιμίας που παράγεται.



Σχήμα 1

2. Στο Σχήμα 2 δίνεται το λογικό σύμβολο ενός D Φλιπ Φλοπ.



Σχήμα 2

(α) Να συμπληρώσετε τον πίνακα αληθείας (Πίνακας 1) του D Φλιπ Φλοπ.

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		
CLK	D	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση
0	X	Q_n	\bar{Q}_n	MEMORY (Μνήμης)
1	0	0	1	RESET
1	1	1	0	SET

Πίνακας 1

(β) Να αναφέρετε μια χρήση / εφαρμογή των Φλιπ Φλοπ.

Μια από τις παρακάτω χρήσεις / εφαρμογές:

- Ως κύκλωμα αποκοπής παρασιτικών παλμών από μηχανικούς διακόπτες
- Ως διαιρέτης συχνότητας
- Ως στοιχείο μνήμης
- Σε κυκλώματα απαριθμητών
- Σε κυκλώματα καταχωρητών

3. Δίνονται οι παρακάτω δηλώσεις που αφορούν στις λογικές οικογένειες TTL και CMOS. Για καθεμιά από τις παρακάτω δηλώσεις, να γράψετε σε ποια λογική οικογένεια αντιστοιχεί (TTL ή CMOS).

(α) Έχει πολύ μικρή κατανάλωση ισχύος.

CMOS

(β) Είναι ευαίσθητη στον στατικόν ηλεκτρισμό.

CMOS

(γ) Τα κυκλώματα της είναι κατασκευασμένα με διπολικά τρανζίστορ.

TTL

(δ) Χρειάζεται σταθερή τάση τροφοδοσίας για τη λειτουργία της.

TTL

4. Να επιλέξετε τις σωστές απαντήσεις για τα πιο κάτω ερωτήματα.

(α) Το μέτρο ενός απαριθμητή ορίζεται ως:

(Α) Η συχνότητα του ωρολογίου (CLK) που εφαρμόζεται στην είσοδό του.

(B) Ο αριθμός των διαφορετικών λογικών καταστάσεων που μπορούν να πάρουν οι έξοδοί του.

(Γ) Ο αριθμός των Φλιπ Φλοπ από τα οποία αποτελείται.

(Δ) Ο κώδικας αρίθμησης του.

Το (B)

(β) Από πόσα Φλιπ Φλοπ αποτελείται ένας απαριθμητής με μέτρο 60;

- (A) 5
- (B) 6**
- (Γ) 7
- (Δ) 64

Το (B) 6

5. Στο Σχήμα 3 δίνονται το λογικό σύμβολο και ο πίνακας αληθείας κωδικοποιητή δεκαδικών αριθμών στον κώδικα BCD. Οι έξοδοι είναι ενεργές στο ψηλό επίπεδο (λογικό 1).



Α/Α	ΕΙΣΟΔΟΙ										ΕΞΟΔΟΙ			
	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	0	0	1
2	0	0	0	0	0	0	0	1	0	0	0	0	1	0
3	0	0	0	0	0	0	1	0	0	0	0	0	1	1
4	0	0	0	0	0	1	0	0	0	0	0	1	0	0
5	0	0	0	0	1	0	0	0	0	0	0	1	0	1
6	0	0	0	1	0	0	0	0	0	0	0	1	1	0
7	0	0	1	0	0	0	0	0	0	0	0	1	1	1
8	0	1	0	0	0	0	0	0	0	0	1	0	0	0
9	1	0	0	0	0	0	0	0	0	0	1	0	0	1

Σχήμα 3

Να γράψετε τις λογικές συναρτήσεις των εξόδων του κωδικοποιητή.

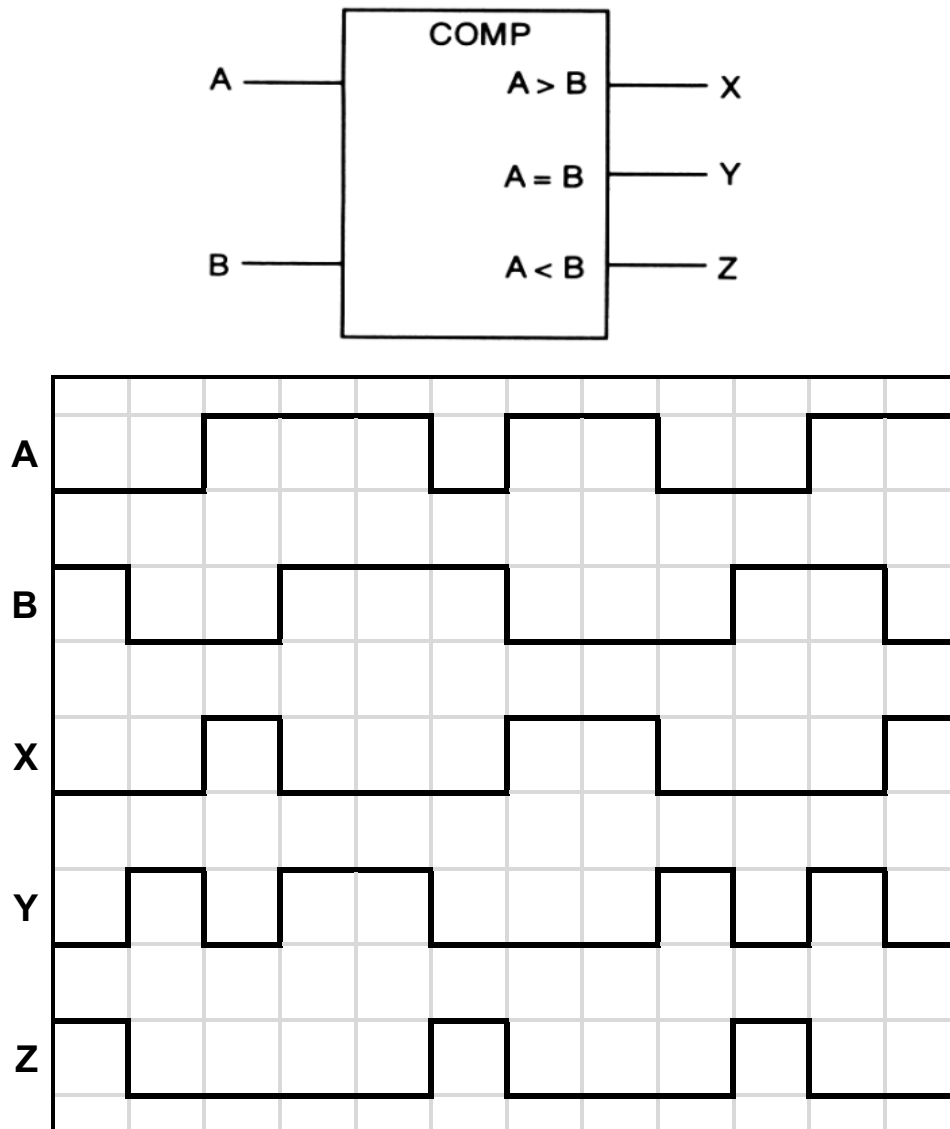
$$Y_0 = D_1 + D_3 + D_5 + D_7 + D_9$$

$$Y_1 = D_2 + D_3 + D_6 + D_7$$

$$Y_2 = D_4 + D_5 + D_6 + D_7$$

$$Y_3 = D_8 + D_9$$

6. (α) Στο Σχήμα 4 δίνονται το λογικό σύμβολο και τα χρονικά διαγράμματα των εισόδων ψηφιακού συγκριτή 1-bit. Να σχεδιάσετε στο ίδιο σχήμα τα χρονικά διαγράμματα των τριών εξόδων του συγκριτή (X, Y, Z).



Σχήμα 4

- (β) Να δώσετε τον ορισμό του «ψηφιακού συγκριτή».

Ο ψηφιακός συγκριτής είναι ένα συνδυαστικό λογικό κύκλωμα που συγκρίνει δύο αριθμούς, για παράδειγμα, A και B και βρίσκει αν είναι ίσοι ή ποιος από τους δύο είναι ο πιο μεγάλος.

7. (α) Να επιλέξετε τη σωστή απάντηση για το πιο κάτω ερώτημα.

Ένα σύγχρονο SR Φλιπ Φλοπ βρίσκεται σε κατάσταση μνήμης (Memory), όταν οι εισοδοί του βρίσκονται στα λογικά επίπεδα:

(A) $S = 0, R = 0$

(B) $S = 1, R = 0$

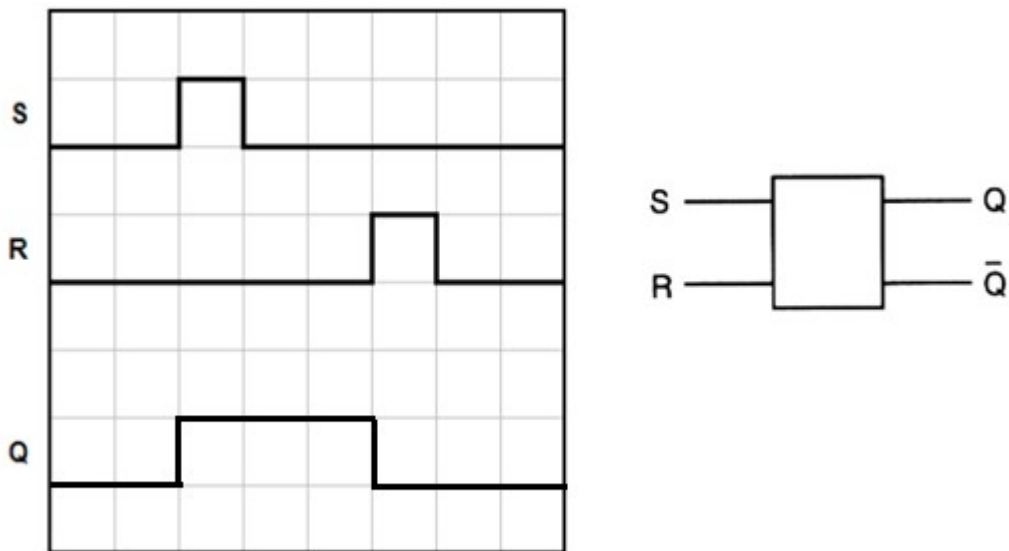
(Γ) $S = 1, R = 1$

(Δ) $S = 0, R = 1$

(E) Κανέναν από τα πιο πάνω. Το SR Φλιπ Φλοπ δεν μπορεί να βρεθεί σε κατάσταση μνήμης.

Το (A) $S = 0, R = 0$

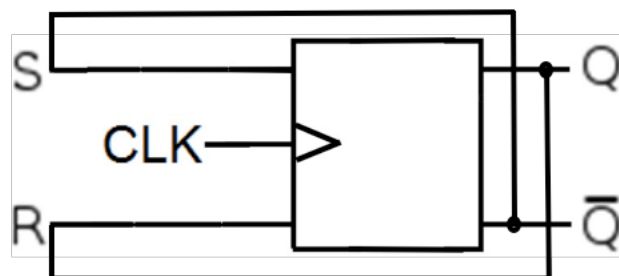
(β) Στο Σχήμα 5 δίνονται το λογικό σύμβολο και τα χρονικά διαγράμματα εισόδου ασύγχρονου SR Φλιπ Φλοπ. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Q του Φλιπ Φλοπ. Η αρχική κατάσταση της εξόδου Q του Φλιπ Φλοπ είναι το λογικό 0 (RESET).



Σχήμα 5

8. (α) Να μετατρέψετε το SR Φλιπ Φλοπ στο Σχήμα 6 σε T Φλιπ Φλοπ.

T Φλιπ Φλοπ:



Σχήμα 6

(β) Να επιλέξετε τη σωστή απάντηση για το πιο κάτω ερώτημα.

Σε ποιο σημείο των ωρολογιακών παλμών (CLK) διεγείρεται το Φλιπ Φλοπ του Σχήματος 6;

(Α) Ψηλό επίπεδο (λογικό 1)

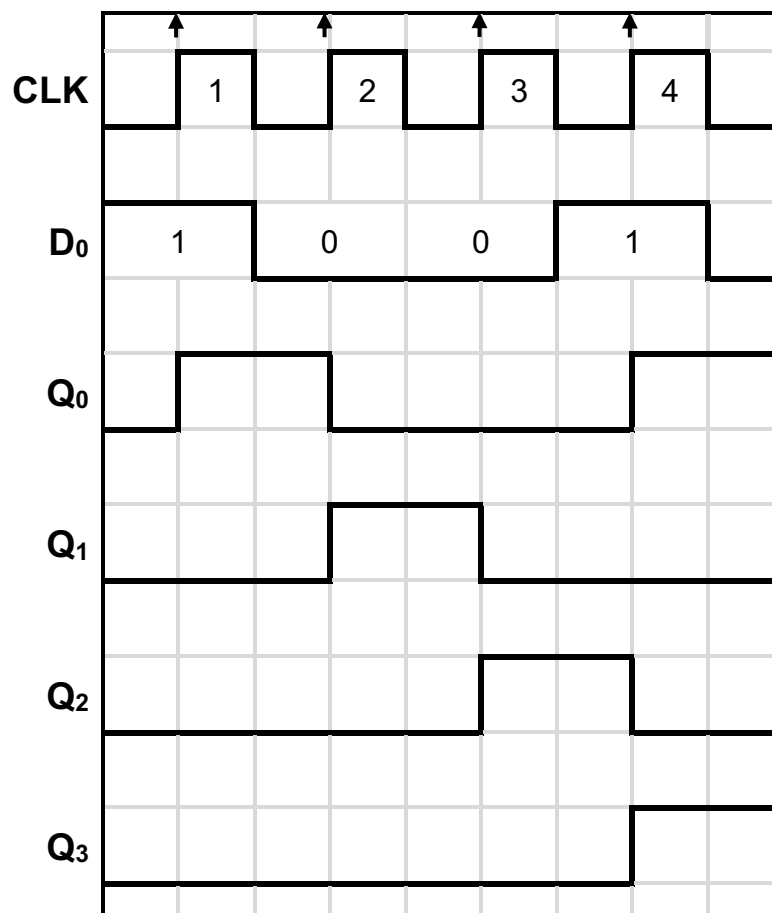
(Β) Χαμηλό επίπεδο (λογικό 0)

(Γ) Θετικό μέτωπο

(Δ) Αρνητικό μέτωπο

Το (Γ) Θετικό μέτωπο

9. Στο Σχήμα 7 δίνονται τα χρονικά διαγράμματα των ωρολογιακών παλμών **CLK** και της εισόδου **D₀** καταχωρητή διαδοχικής εισόδου – διαδοχικής εξόδου (SISO). Ο καταχωρητής είναι κατασκευασμένος από D Φλιπ Φλοπ που διεγείρονται στα θετικά μέτωπα του CLK. Να σχεδιάσετε στο ίδιο σχήμα τα χρονικά διαγράμματα των εξόδων **Q₀**, **Q₁**, **Q₂**, **Q₃** του καταχωρητή, για αποθήκευση της πληροφορίας / κωδικής λέξης **1001**.

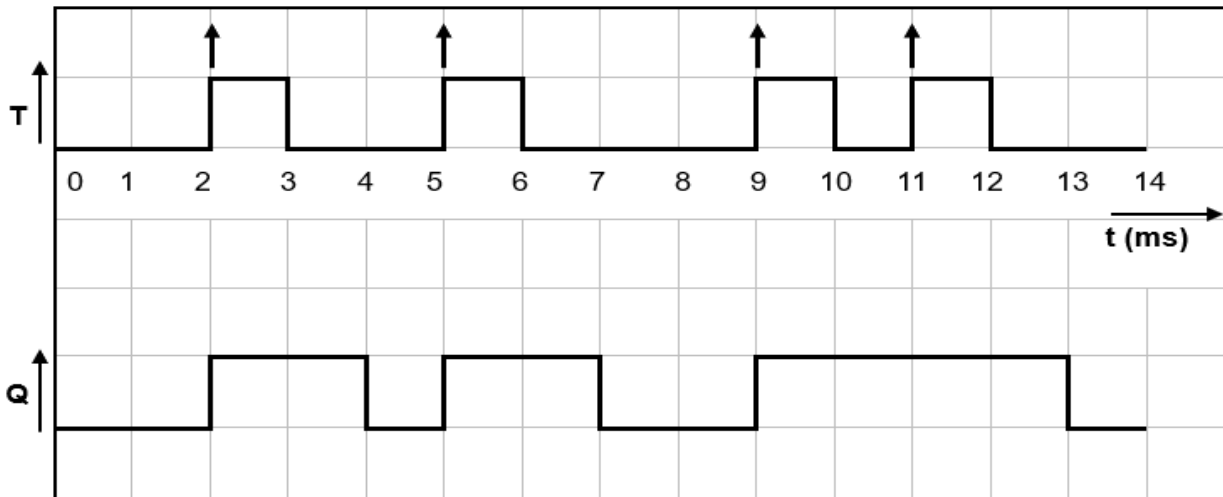


Σχήμα 7

10. (α) Να ονομάσετε τον πολυδονητή ο οποίος δεν έχει καμιά σταθερή κατάσταση εξόδου.

Ασταθής Πολυδονητής

- (β) Στο Σχήμα 8 δίνεται το χρονικό διάγραμμα των παλμών διέγερσης ενός επαναδιεγειρόμενου μονοσταθί πολυδονητή που διεγείρεται στα θετικά μέτωπα των παλμών διέγερσης και έχει χρόνο βολής 2 ms. Η σταθερή κατάσταση του πολυδονητή είναι το λογικό 0. Να σχεδιάσετε στο ίδιο σχήμα το χρονικό διάγραμμα της εξόδου **Q** του πολυδονητή.



Σχήμα 8

11. Για καθεμιά από τις πιο κάτω δηλώσεις να απαντήσετε ΣΩΣΤΟ ή ΛΑΘΟΣ.

- (α) Ένας πολυπλέκτης 4X1 έχει τέσσερις γραμμές επιλογής εισόδου.

ΛΑΘΟΣ

- (β) Ένας αποπολυπλέκτης 1X4 έχει 1 έξοδο.

ΛΑΘΟΣ

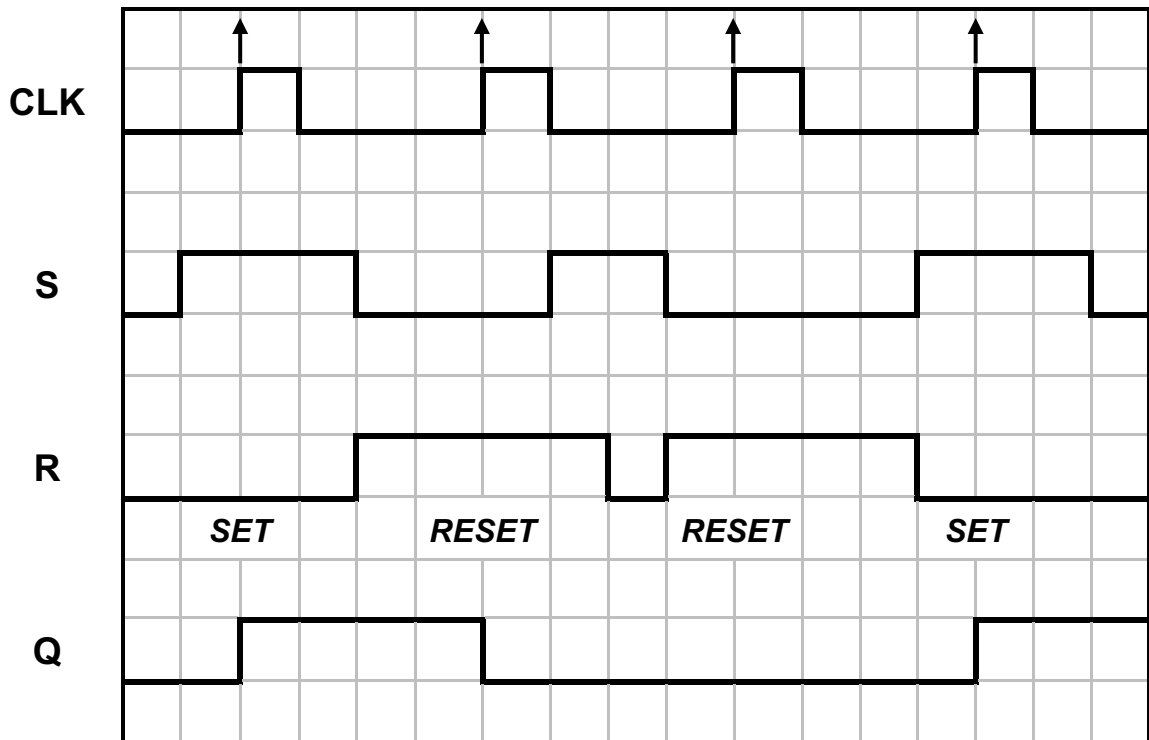
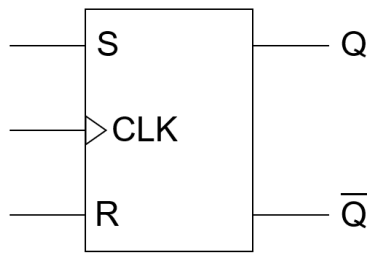
- (γ) Ένας πολυπλέκτης 4X1 έχει 4 εισόδους.

ΣΩΣΤΟ

- (δ) Ένας αποπολυπλέκτης 1X4 έχει 2 γραμμές επιλογής εξόδου.

ΣΩΣΤΟ

12. (α) Στο Σχήμα 9 δίνονται το λογικό σύμβολο και τα χρονικά διαγράμματα εισόδου ενός SR Φλιπ Φλοπ. Να σχεδιάσετε το χρονικό διάγραμμα της εξόδου **Q** του Φλιπ Φλοπ. Η αρχική κατάσταση του Φλιπ Φλοπ είναι η RESET (λογικό 0).



Σχήμα 9

(β) Να αναφέρετε το πλεονέκτημα του JK Φλιπ Φλοπ έναντι του SR Φλιπ Φλοπ.

Το JK Φλιπ Φλοπ αντίθετα με το SR Φλιπ Φλοπ δεν έχει απαγορευμένη κατάσταση εισόδων, αλλά όταν το $J = K = 1$, τότε οι έξοδοι του Φλιπ Φλοπ αλλάζουν κατάσταση (κατάσταση εναλλαγής – TOGGLE).

ΜΕΡΟΣ Β´ - Το μέρος Β αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. Ένας ασταθής πολυδονητής παράγει παλμούς με συχνότητα $f = 200 \text{ Hz}$. Ο κύκλος δράσης d των παλμών είναι 40%.
Να υπολογίσετε:

(α) Την περίοδο T των παλμών.

$$T = \frac{1}{f} = \frac{1}{200} = 5 \text{ ms}$$

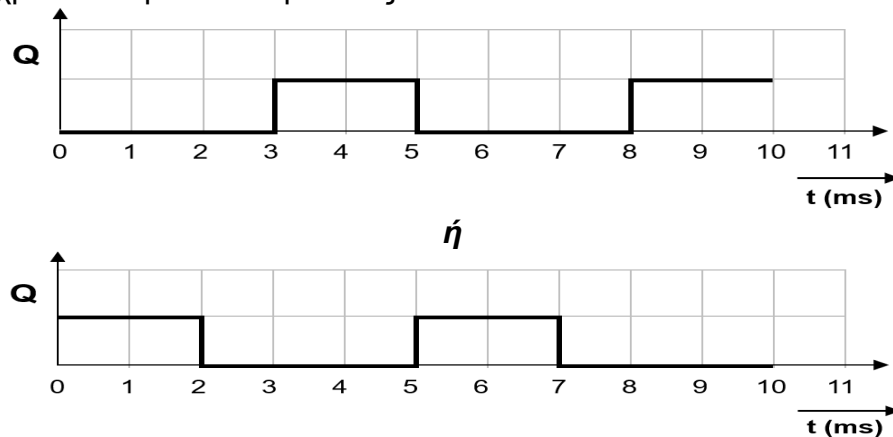
(β) Το χρόνο t_H που ο παλμός παραμένει στο λογικό 1 και το χρόνο t_L που ο παλμός παραμένει στο λογικό 0.

$$d = \frac{t_H}{T} \cdot 100$$

$$t_H = \frac{d \cdot T}{100} = \frac{40 \cdot 5}{100} = 2 \text{ ms}$$

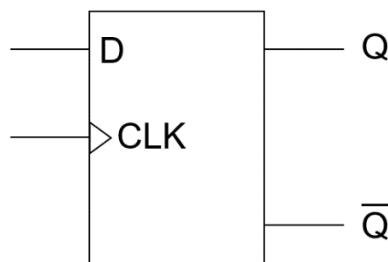
$$t_L = T - t_H = 5 - 2 = 3 \text{ ms}$$

(γ) Να σχεδιάσετε στο Σχήμα 10 το χρονικό διάγραμμα των παλμών του πολυδονητή για χρόνο ίσο με δύο περιόδους.

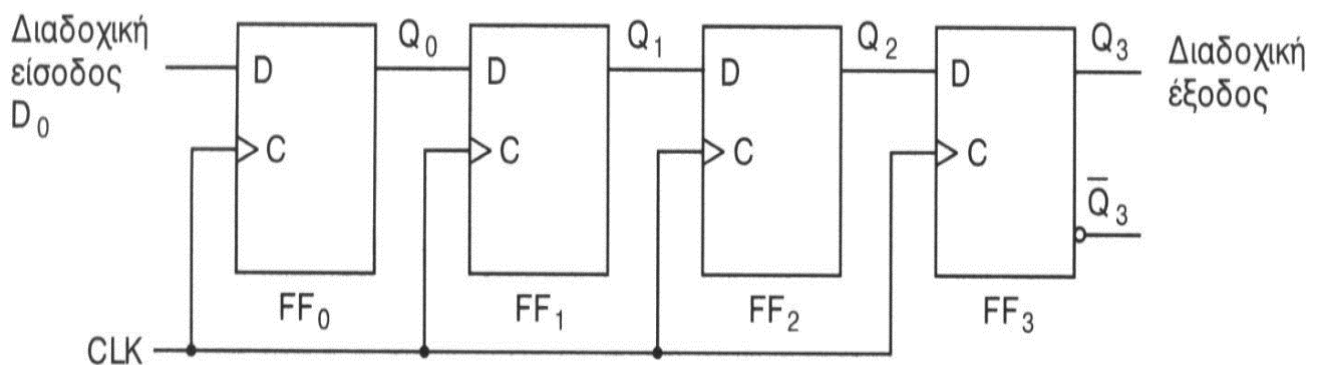


Σχήμα 10

14. (α) Με τη χρήση του D Φλιπ Φλοπ του Σχήματος 11, να σχεδιάσετε έναν καταχωρητή 4-bit με διαδοχική είσοδο και διαδοχική έξοδο (SISO).



Σχήμα 11



(β) Να επιλέξετε τον καταχωρητή για τον οποίο αναφέρεται η πιο κάτω δήλωση.

«Για να εισέλθει και να εξέλθει πληροφορία 4-bit σε καταχωρητή των 4-bit, χρειάζονται πέντε (5) ωρολογιακοί παλμοί».

(Α) Καταχωρητής Διαδοχικής Εισόδου - Διαδοχικής Εξόδου

(Β) Καταχωρητής Διαδοχικής Εισόδου - Παράλληλης Εξόδου

(Γ) Καταχωρητής Παράλληλης Εισόδου - Διαδοχικής Εξόδου

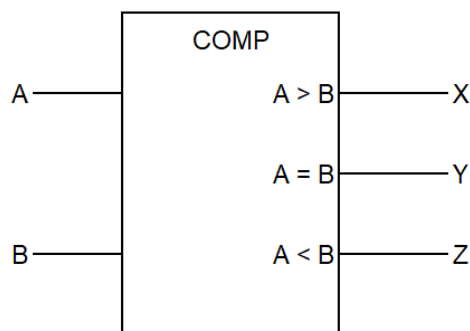
(Δ) Καταχωρητής Παράλληλης Εισόδου - Παράλληλης Εξόδου

Το (Γ) Καταχωρητής Παράλληλης Εισόδου - Διαδοχικής Εξόδου

(γ) Να αναφέρετε τον τύπο του καταχωρητή που θα χρησιμοποιούσατε για τη μετατροπή ενός σειριακού σήματος σε παράλληλο.

Καταχωρητής Διαδοχικής Εισόδου - Παράλληλης Εξόδου (SIPO)

15. Στο Σχήμα 12 δίνεται το λογικό σύμβολο ψηφιακού συγκριτή που συγκρίνει δύο αριθμούς του 1-bit.



Σχήμα 12

(α) Να συμπληρώσετε τον πίνακα αληθείας (Πίνακας 2) για τις εισόδους **A**, **B** και τις τρεις εξόδους **X**, **Y** και **Z** του ψηφιακού συγκριτή.

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		
A	B	X	Y	Z
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Πίνακας 2

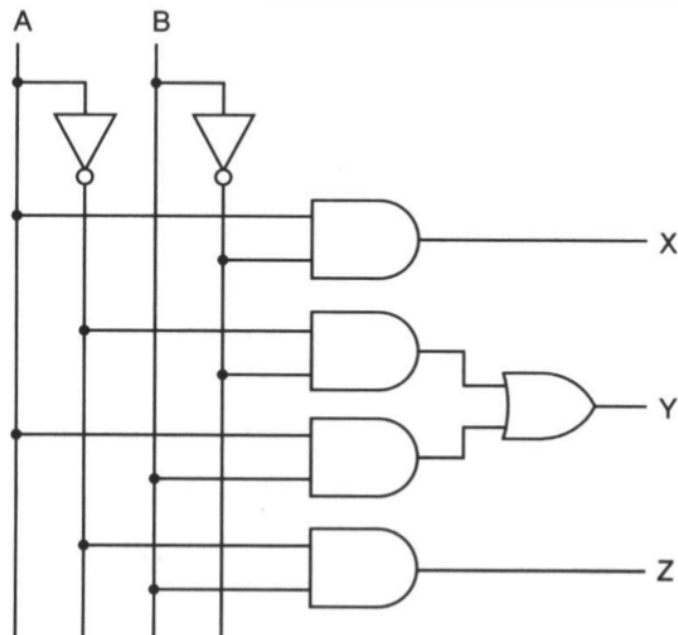
(β) Να γράψετε τις λογικές συναρτήσεις για τις τρεις εξόδους **X**, **Y** και **Z**.

$$X = A \cdot \bar{B}$$

$$Y = \bar{A} \cdot \bar{B} + A \cdot B \quad \text{ή} \quad Y = \overline{A \oplus B} \quad \text{ή} \quad Y = A \odot B$$

$$Z = \bar{A} \cdot B$$

(γ) Να σχεδιάσετε το λογικό κύκλωμα του ψηφιακού συγκριτή 1-bit.



16. Στον Πίνακα 3 δίνεται ο πίνακας αληθείας ενός συνδυαστικού λογικού κυκλώματος.

Γραμμές Επιλογής Εισόδου		Έξοδος
S ₁	S ₀	Y
0	0	D ₀
0	1	D ₁
1	0	D ₂
1	1	D ₃

Πίνακας 3

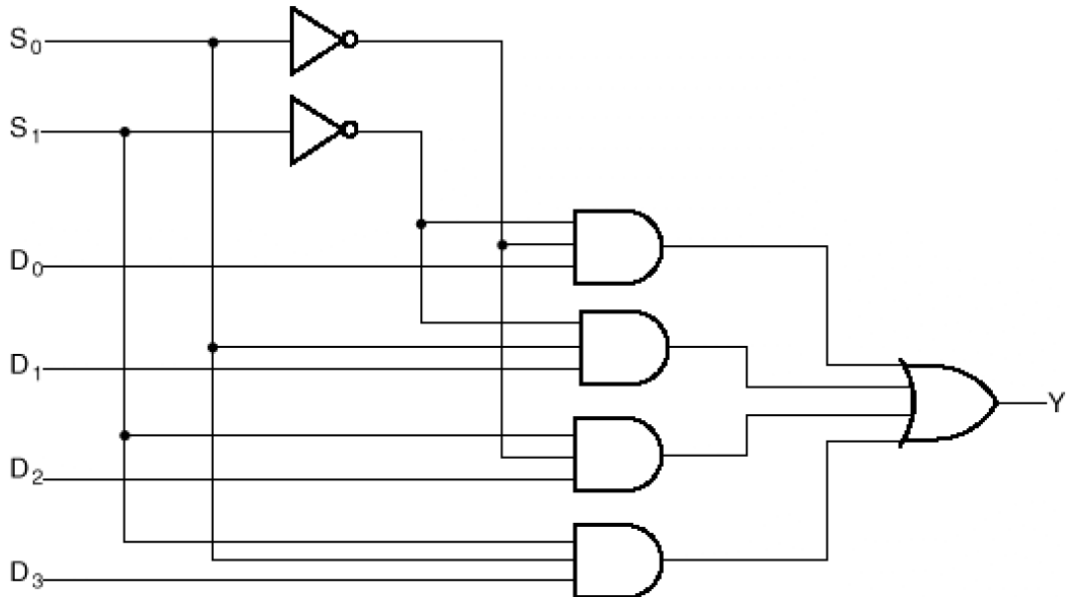
(α) Να δώσετε την πλήρη / ακριβή ονομασία του λογικού κυκλώματος το οποίο αντιπροσωπεύει ο πίνακας αληθείας (Πίνακας 3).

Πολυπλέκτης τεσσάρων γραμμών σε μία (4X1)

(β) Να γράψετε τη λογική συνάρτηση του κυκλώματος που ονομάσατε στο ερώτημα 16(α).

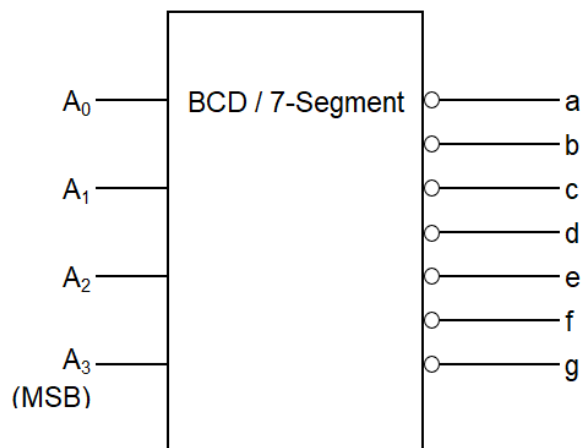
$$Y = \bar{S}_1 \cdot \bar{S}_0 \cdot D_0 + \bar{S}_1 \cdot S_0 \cdot D_1 + S_1 \cdot \bar{S}_0 \cdot D_2 + S_1 \cdot S_0 \cdot D_3$$

(γ) Να σχεδιάσετε το λογικό κύκλωμα του ερωτήματος 16(α).



ΜΕΡΟΣ Γ' - Το μέρος Γ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.

17. Στο Σχήμα 13 δίνεται το λογικό σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει τον ενδείκτη 7-τμημάτων (7-segment display).



Σχήμα 13

- (α) Να δώσετε τον κώδικα BCD που εφαρμόζεται στην είσοδο του αποκωδικοποιητή του Σχήματος 13, όταν ο ενδείκτης 7-τμημάτων εμφανίζει την εικόνα του Σχήματος 14.



Σχήμα 14

$$A_3A_2A_1A_0 = 0100$$

- (β) Να δώσετε τη λογική κατάσταση των εξόδων του αποκωδικοποιητή για το ερώτημα 17(α).

$$a = \dots 1 \dots \quad b = \dots 0 \dots \quad c = \dots 0 \dots \quad d = \dots 1 \dots \quad e = \dots 1 \dots \quad f = \dots 0 \dots \quad g = \dots 0 \dots$$

- (γ) Ποια από τα τμήματα (a, b, c, d, e, f, g) του ενδείκτη 7-τμημάτων θα ανάψουν, όταν η λογική κατάσταση των εισόδων του αποκωδικοποιητή του Σχήματος 13 είναι: $A_3A_2A_1A_0 = 0011$.

a, b, c, d, g

- (δ) Να ονομάσετε το είδος (τον τύπο) της 7-τμηματικής μονάδας ένδειξης που χρησιμοποιείται με τον αποκωδικοποιητή του Σχήματος 13.

Κοινής ανόδου

- (ε) Να εξηγήσετε γιατί τα ψηφιακά ρολόγια χεριού χρησιμοποιούν οθόνες υγρών κρυστάλλων (LCD) αντί οθόνες με διόδους φωτοεκπομπής (LED).

Οι οθόνες LCD έχουν μικρότερη κατανάλωση ηλεκτρικής ενέργειας σε σχέση με τις οθόνες LED και άρα οι μπαταρίες των συσκευών με οθόνες LCD διαρκούν περισσότερο και μπορούν να είναι μικρότερες σε βάρος και όγκο.

18. Στον Πίνακα 4 δίνεται ο πίνακας αληθείας ασύγχρονου δυαδικού απαριθμητή.

Ρολοϊ (CLK)	Αρίθμηση Απαριθμητή	
Αρίθμηση Παλμών	Q ₁	Q ₀
0	0	0
1	1	1
2	1	0
3	0	1
4	0	0

Πίνακας 4

(α) Να αναφέρετε την κατεύθυνση μέτρησης του απαριθμητή.

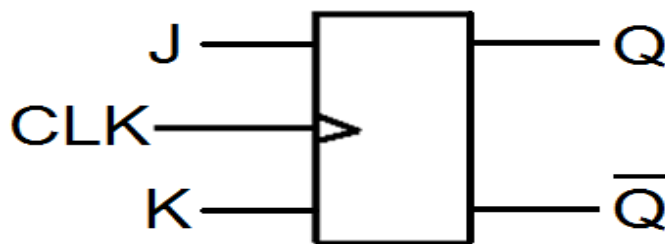
Η κατεύθυνση μέτρησης του απαριθμητή είναι προς τα κάτω (down counter)

(β) Να υπολογίσετε το μέγιστο μέτρο (max MOD) του απαριθμητή.

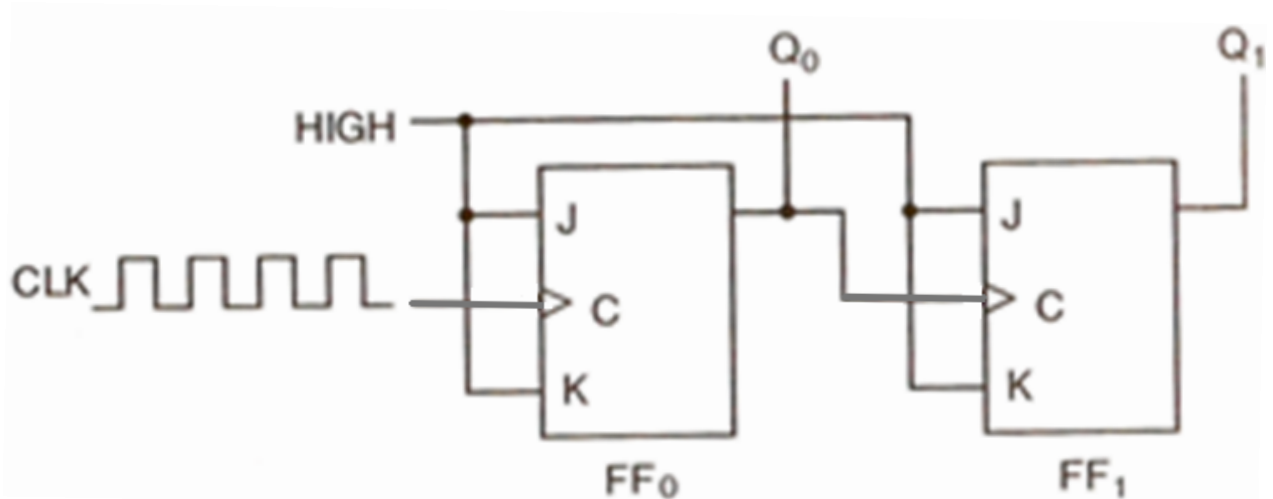
***Ο απαριθμητής έχει δύο εξόδους (Q₀ και Q₁) ⇒ Αποτελείται από δύο Φλιπ Φλοπ
n = 2 Φλιπ Φλοπ (απαριθμητής 2-bit)***

$$\mathbf{max\ MOD = 2^n = 2^2 = 4}$$

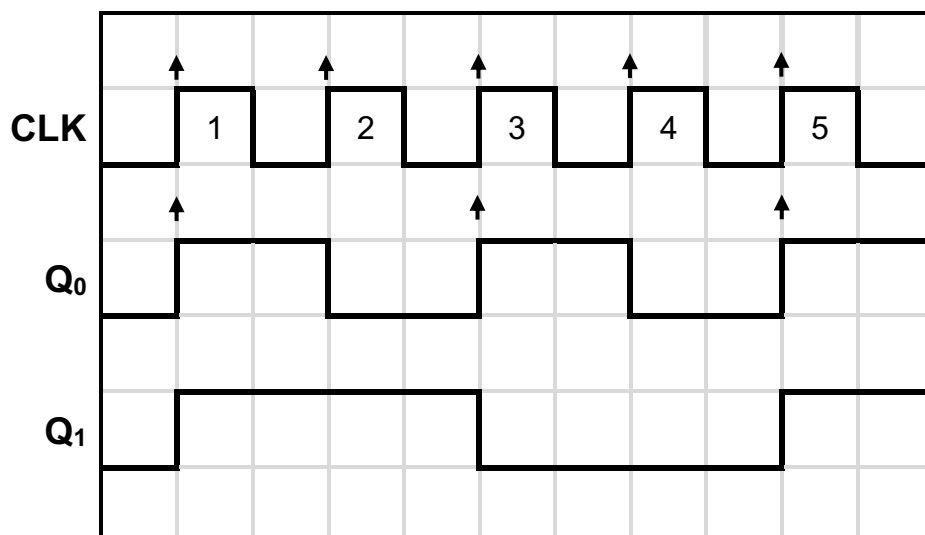
(γ) Να χρησιμοποιήσετε τον ελάχιστο αριθμό JK Φλιπ Φλοπ του Σχήματος 15, για να σχεδιάσετε το λογικό κύκλωμα του απαριθμητή που αντιπροσωπεύει ο Πίνακας 4.



Σχήμα 15



(δ) Στο Σχήμα 16 να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων Q_0 και Q_1 του ασύγχρονου δυαδικού απαριθμητή, που σχεδιάσατε στο ερώτημα 18(γ), για πέντε (5) ωρολογιακούς παλμούς. Αρχικά ο απαριθμητής βρίσκεται σε κατάσταση RESET.



Σχήμα 16

(ε) Να υπολογίσετε τη μέγιστη συχνότητα λειτουργίας / αρίθμησης, f_{max} , του πιο πάνω απαριθμητή, αν ο χρόνος καθυστέρησης για κάθε Φλιπ Φλοπ είναι 50 ns.

$$f_{max} = \frac{1}{v \cdot t_p} = \frac{1}{2 \cdot 50 \cdot 10^{-9}} = 10000000 \text{ Hz} = 10 \text{ MHz}$$

----- ΤΕΛΟΣ ΛΥΣΕΩΝ -----