

ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΑΘΛΗΤΙΣΜΟΥ ΚΑΙ ΝΕΟΛΑΙΑΣ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ ΠΡΟΣΒΑΣΗΣ 2024

ΤΕΧΝΟΛΟΓΙΑ ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Ψηφιακά Ηλεκτρονικά II (410)
Ημερομηνία : Παρασκευή, 14 Ιουνίου 2024
Ωρα εξέτασης : 08:00 – 10:30

Επιτρεπόμενη διάρκεια γραπτού 2,5 ώρες (150 λεπτά)

ΤΟ ΕΞΕΤΑΣΤΙΚΟ ΔΟΚΙΜΙΟ ΑΠΟΤΕΛΕΙΤΑΙ ΑΠΟ ΕΙΚΟΣΙ ΠΕΝΤΕ (25) ΣΕΛΙΔΕΣ ΚΑΙ ΤΡΙΑ (3) ΜΕΡΗ (Α΄, Β΄ ΚΑΙ Γ΄)

ΟΔΗΓΙΕΣ:

1. Να απαντήσετε σε όλες τις ερωτήσεις.
2. Οι ερωτήσεις να απαντηθούν στο εξεταστικό δοκίμιο.
3. Απαγορεύεται η χρήση διορθωτικού υγρού ή διορθωτικής ταινίας.
4. Τα σχεδιαγράμματα μπορούν να σχεδιαστούν με μολύβι.
5. Επιτρέπεται η χρήση μη προγραμματιζόμενης υπολογιστικής μηχανής.
6. Στο τέλος του εξεταστικού δοκιμίου δίνεται τυπολόγιο.

ΜΕΡΟΣ Α΄ - Το μέρος Α αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. (α) Ένα κύκλωμα ελέγχου για μονό ψηφίο ισοτιμίας δέχεται τους πιο κάτω κώδικες. Να προσδιορίσετε κατά πόσο ο κάθε κώδικας είναι σωστός ή λανθασμένος.

(1) 11111 ΣΩΣΤΟΣ / ΛΑΝΘΑΣΜΕΝΟΣ

.....

(2) 11000 ΣΩΣΤΟΣ / ΛΑΝΘΑΣΜΕΝΟΣ

.....

- (β) Δίνεται η λογική συνάρτηση του κυκλώματος παραγωγής ζυγού ψηφίου ισοτιμίας.

$$P = (A_3 \oplus A_2) \oplus (A_1 \oplus A_0)$$

Να γράψετε τη λογική συνάρτηση του κυκλώματος παραγωγής μονού ψηφίου ισοτιμίας.

.....

2. (α) Να δώσετε τον αριθμό των εισόδων και τον αριθμό των εξόδων που έχει ένας ψηφιακός συγκριτής 1-bit.

Αριθμός Εισόδων:

Αριθμός Εξόδων:

- (β) Να δώσετε τον ορισμό του «ψηφιακού συγκριτή».

.....

.....

.....

.....

3. Για καθεμιά από τις πιο κάτω δηλώσεις να απαντήσετε ΣΩΣΤΟ ή ΛΑΘΟΣ.

- (α) Τα κυκλώματα της λογικής οικογένειας TTL είναι κατασκευασμένα με διπολικά τρανζίστορ ενώ τα κυκλώματα της λογικής οικογένειας CMOS είναι κατασκευασμένα με τρανζίστορ MOSFET.

.....

(β) Η τάση τροφοδοσίας της λογικής οικογένειας CMOS απαιτείται να είναι σταθερή.

.....

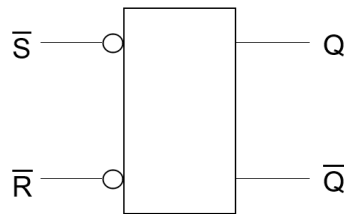
(γ) Η μείωση της καταναλισκόμενης ισχύος σε μια λογική οικογένεια λειτουργεί συνήθως αρνητικά στην ταχύτητα λειτουργίας της.

.....

(δ) Όσο πιο μικρό είναι το ύψος του θορύβου που ανέχεται μια λογική οικογένεια τόσο το καλύτερο.

.....

4. Στο Σχήμα 1 δίνεται το λογικό σύμβολο ενός NAND Φλιπ Φλοπ. Να συμπληρώσετε τον πίνακα αληθείας του Φλιπ Φλοπ (Πίνακας 1).

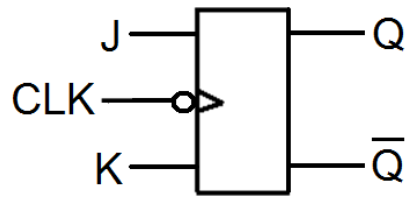


Σχήμα 1

Είσοδοι		Έξοδοι		
\bar{S}	\bar{R}	Q_{n+1}	\bar{Q}_{n+1}	Κατάσταση

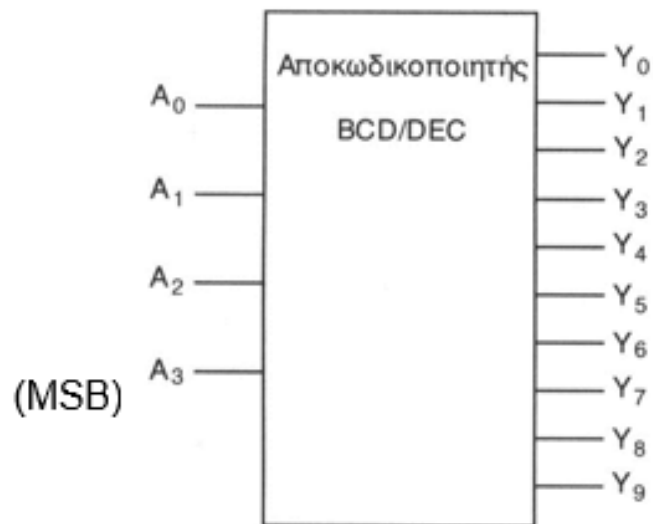
Πίνακας 1

5. Δίνεται το JK Φλιπ Φλοπ του Σχήματος 2. Να σχεδιάσετε το κύκλωμα σύγχρονου, αύξοντα δυαδικού απαριθμητή με μέγιστο μέτρο (max MOD) 4.



Σχήμα 2

6. (α) Στο Σχήμα 3 δίνεται το λογικό σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στο δεκαδικό σύστημα.



Σχήμα 3

Να γράψετε τη λογική συνάρτηση των εξόδων Y_4 και Y_7 .

$Y_4 =$

$Y_7 =$

(β) Να υπολογίσετε τον ελάχιστο αριθμό των bit που απαιτούνται για την κωδικοποίηση 150 χαρακτήρων.

.....

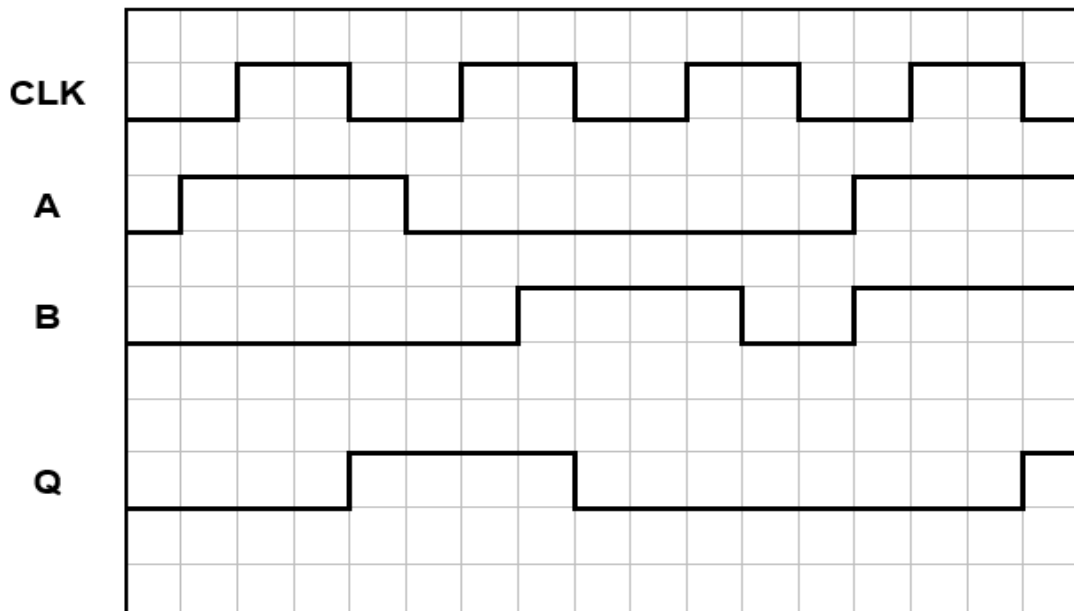
7. (α) Να ονομάσετε την κατηγορία κυκλωμάτων που κατασκευάζονται με Φλιπ Φλοπ.

.....
(1 μον.)

(β) Να αναφέρετε ποια ιδιότητα προσφέρει στα κυκλώματα αυτά η χρήση των Φλιπ Φλοπ.

.....
(1 μον.)

(γ) Στο Σχήμα 4 δίνονται τα χρονικά διαγράμματα των εισόδων και της εξόδου **Q** ενός σύγχρονου / χρονιζόμενου Φλιπ Φλοπ. Η αρχική κατάσταση του Φλιπ Φλοπ είναι RESET.



Σχήμα 4

Να επιλέξετε σε ποιο από τα παρακάτω Φλιπ Φλοπ (FF) ανήκουν τα χρονικά διαγράμματα A και B του Σχήματος 4 (AB αντιστοιχεί στο SR ή στο JK):

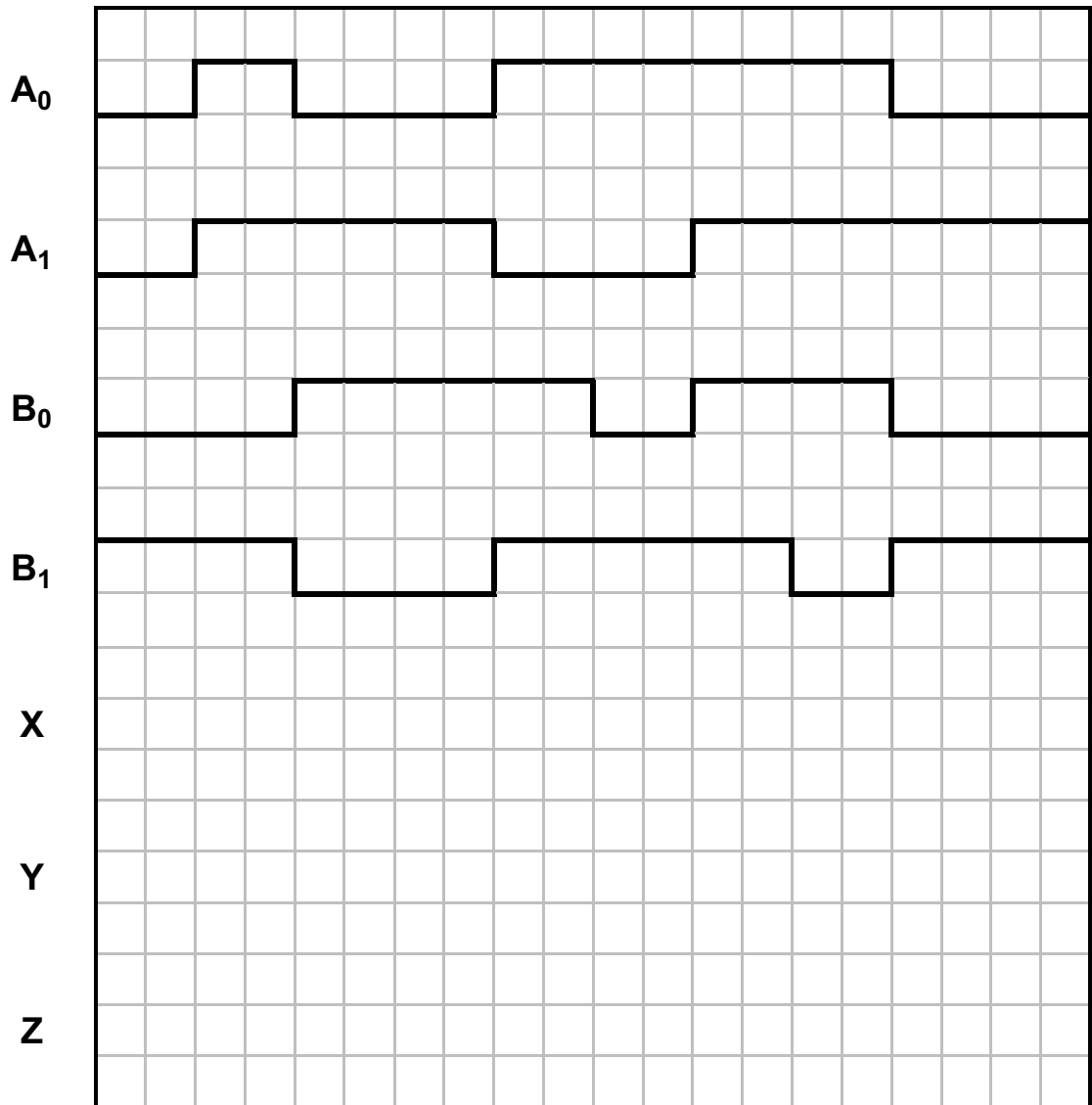
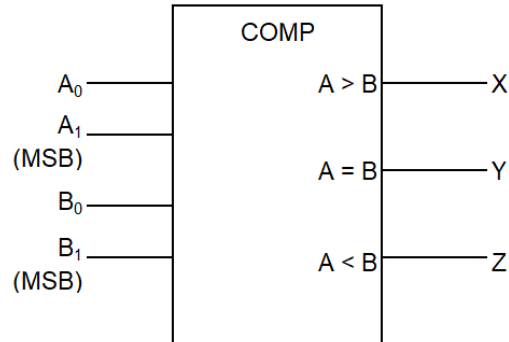
A B

- (Α) $\overline{S} \overline{R}$ – FF χρονιζόμενο στα θετικά μέτωπα
- (Β) S R – FF χρονιζόμενο στα αρνητικά μέτωπα
- (Γ) J K – FF χρονιζόμενο στα θετικά μέτωπα
- (Δ) J K – FF χρονιζόμενο στα αρνητικά μέτωπα

.....
(2 μον.)

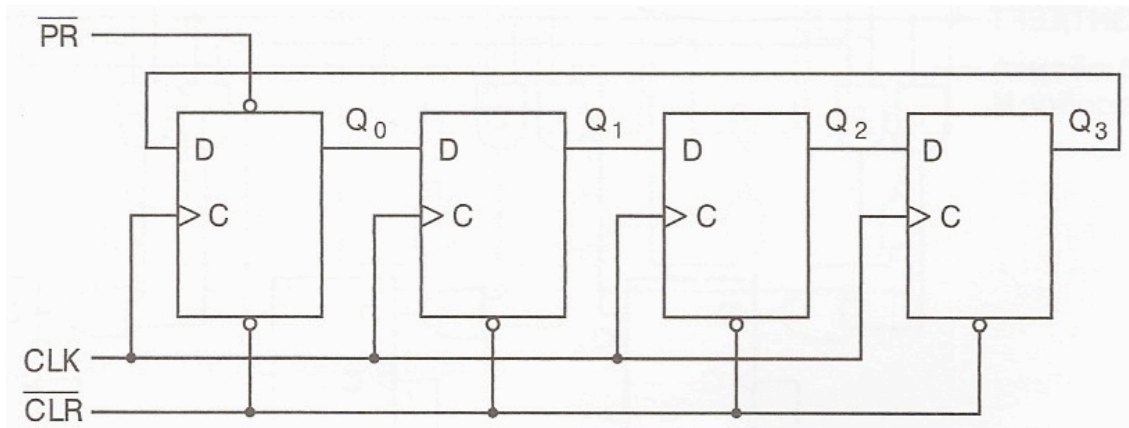
8. Στο Σχήμα 5 δίνονται το λογικό σύμβολο και τα χρονικά διαγράμματα που εφαρμόζονται στις εισόδους ψηφιακού συγκριτή 2-bit.

Να σχεδιάσετε στο ίδιο σχήμα, τα χρονικά διαγράμματα των τριών εξόδων **X**, **Y** και **Z** του συγκριτή.



Σχήμα 5

9. Δίνεται το κύκλωμα του Σχήματος 6, στο οποίο βρίσκεται καταχωρημένη η κωδική λέξη **0010** (υφιστάμενη κατάσταση).



Σχήμα 6

- (α) Να δώσετε την πλήρη / ακριβή ονομασία του κυκλώματος του Σχήματος 6.

.....
(1 μον.)

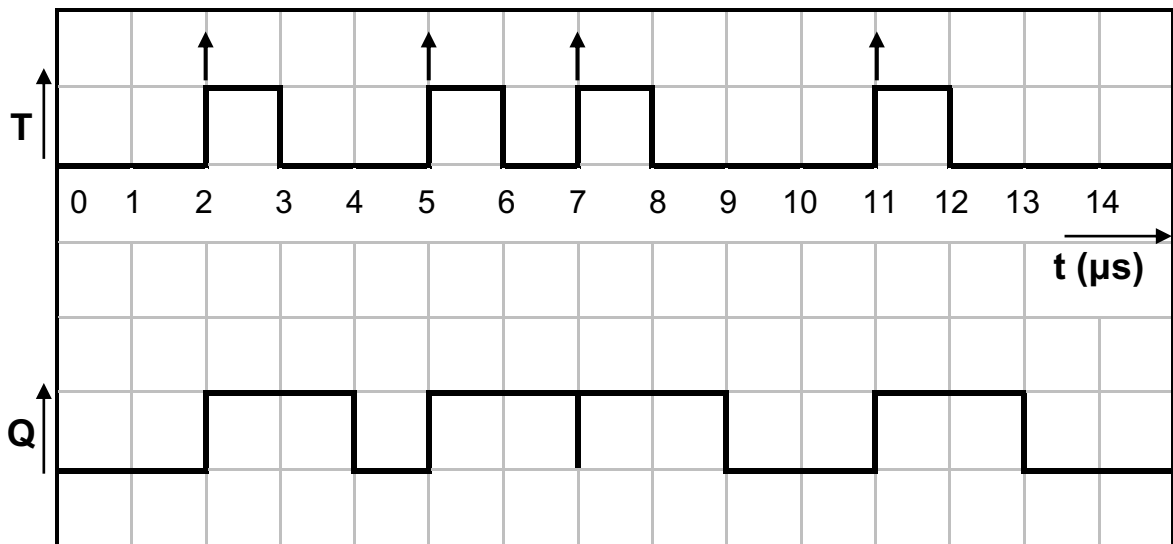
- (β) Να συμπληρώσετε τον πιο κάτω πίνακα (Πίνακας 2) με το περιεχόμενο του ίδιου κυκλώματος, για τους επόμενους ωρολογιακούς παλμούς (μετά την υφιστάμενη κατάσταση) που αναφέρονται.

	Q₀	Q₁	Q₂	Q₃
Υφιστάμενη κατάσταση	0	0	1	0
Περιεχόμενο μετά τον πρώτο ωρολογιακό παλμό				
Περιεχόμενο μετά το δεύτερο ωρολογιακό παλμό				
Περιεχόμενο μετά τον τρίτο ωρολογιακό παλμό				

(3 μον.)

Πίνακας 2

10. Στο Σχήμα 7 δίνονται τα χρονικά διαγράμματα της εισόδου **T** και της εξόδου **Q** ενός μονοσταθί πολυδονητή, ο οποίος διεγείρεται στα θετικά μέτωπα των παλμών διέγερσης. Η σταθερή κατάσταση του μονοσταθί πολυδονητή είναι το λογικό 0.



Σχήμα 7

(α) Να υπολογίσετε τον χρόνο βολής του μονοσταθί πολυδονητή.

.....

(β) Να αναφέρετε αν ο πιο πάνω μονοσταθής πολυδονητής είναι επαναδιεγυριόμενος ή μη επαναδιεγυριόμενος.

.....

11. (α) Να υπολογίσετε τον μέγιστο αριθμό εξόδων αποκωδικοποιητή, όταν ο αριθμός των bit στον κώδικα εισόδου είναι 6-bit.

.....

.....

(β) Στην είσοδο κυκλώματος αποκωδικοποιητή από BCD σε 7-τμηματική μονάδα ένδειξης, εφαρμόζεται ο κώδικας **0101**. Να επιλέξετε τις εξόδους του αποκωδικοποιητή που ενεργοποιούνται.

(Α) a, b, c, f, g

(Β) a, b, d, e, g

(Γ) c, d, e, f, g

(Δ) a, c, d, f, g

.....

12. Δίνεται ο ακόλουθος ορισμός που αναφέρεται σε συνδυαστικό λογικό κύκλωμα:

«Ο X είναι ένα συνδυαστικό λογικό κύκλωμα που επιτρέπει τη μεταφορά πληροφοριών από πολλές πηγές εισόδου σε μια γραμμή εξόδου».

(α) Να επιλέξετε από τις παρακάτω απαντήσεις, το όνομα X του κυκλώματος στο οποίο αναφέρεται ο πιο πάνω ορισμός.

(Α) Κωδικοποιητής

(Β) Αποκωδικοποιητής

(Γ) Πολυπλέκτης

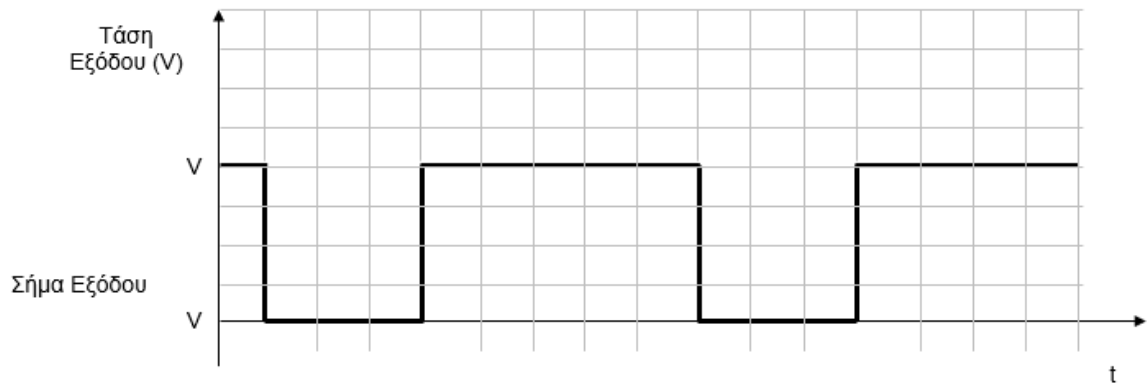
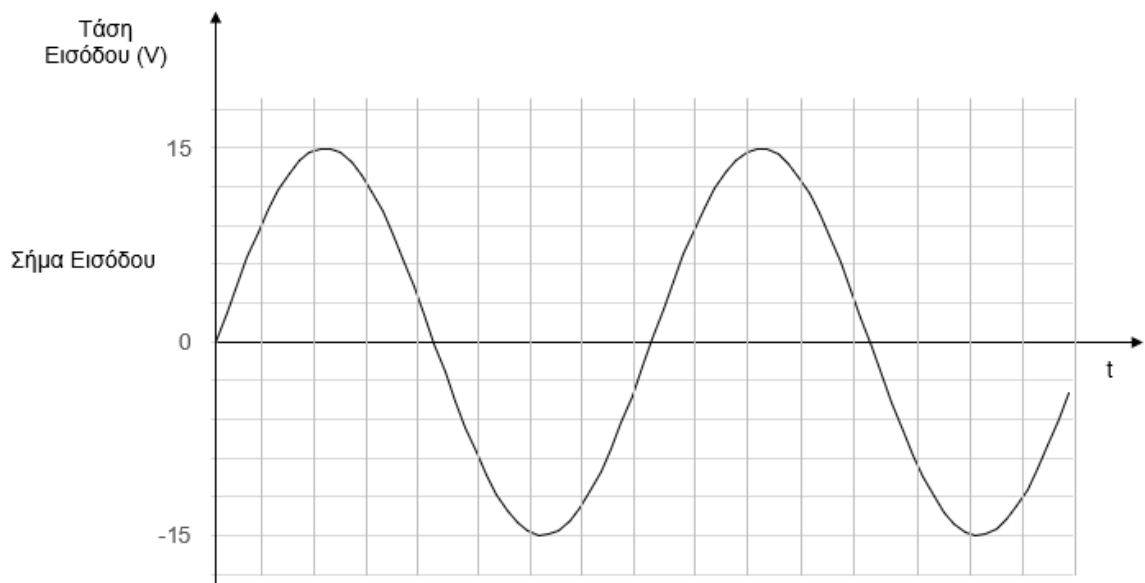
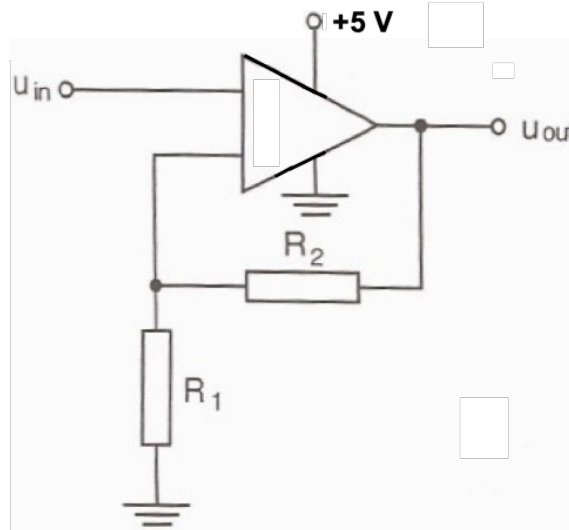
(Δ) Αποπολυπλέκτης

.....

(β) Να σχεδιάσετε το λογικό σύμβολο του κυκλώματος που επιλέξατε στο ερώτημα 12(α), με οκτώ γραμμές εισόδου.

ΜΕΡΟΣ Β΄ - Το μέρος Β αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. Στο Σχήμα 8 δίνονται το κύκλωμα σκανδάλης Σμιτ και τα σήματα εισόδου και εξόδου του κυκλώματος.



Σχήμα 8

(α) Να υπολογίσετε την τιμή υστέρησης του κυκλώματος σκανδάλης Σμιτ του Σχήματος 8.

.....
.....
.....
(3 μον.)

(β) Να δώσετε τις τιμές τάσης HIGH (ψηλή) και LOW (χαμηλή) σε βολτ (V), που δίνει στην έξοδό του (U_{out}) το κύκλωμα.

HIGH = V LOW = V
(2 μον.)

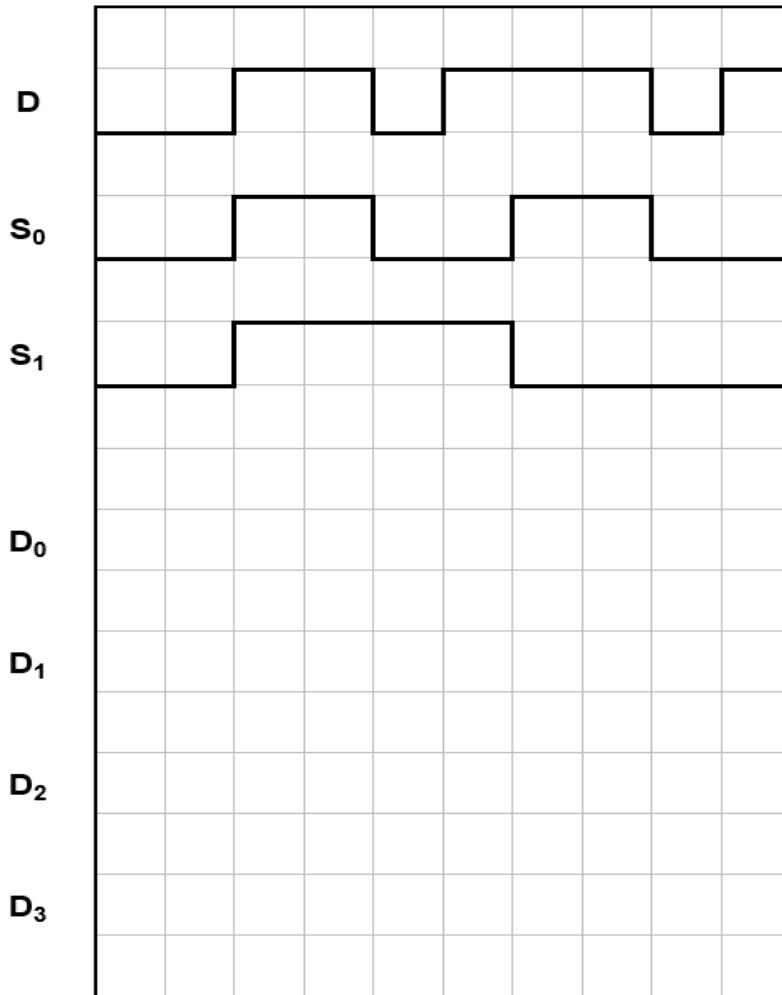
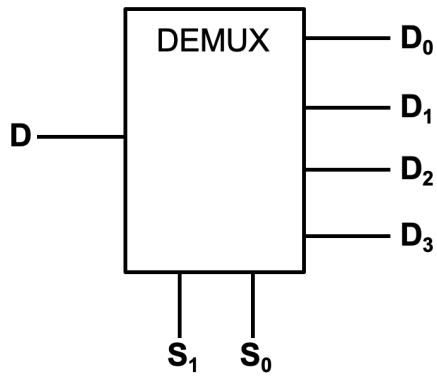
(γ) Να αναφέρετε σε ποια είσοδο (θετική / μη αναστρέφουσα ή αρνητική / αναστρέφουσα) του τελεστικού ενισχυτή του κυκλώματος σκανδάλης Σμιτ εφαρμόζεται το σήμα εισόδου (τάση U_{in}).

.....
(2 μον.)

(δ) Να δώσετε τον ορισμό του «ασταθή πολυδονητή».

.....
.....
.....
.....
(1 μον.)

14. (α) Στο Σχήμα 9 δίνονται το λογικό σύμβολο και τα χρονικά διαγράμματα εισόδου κυκλώματος αποπολυπλέκτη μιας γραμμής σε τέσσερις (1X4). Να σχεδιάσετε στο ίδιο σχήμα τα χρονικά διαγράμματα των τεσσάρων εξόδων (D_0, D_1, D_2, D_3) του αποπολυπλέκτη. (Το S_1 στις γραμμές επιλογής εξόδου, αντιστοιχεί με το περισσότερο σημαντικό ψηφίο (MSB).)



Σχήμα 9

(β) Να γράψετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποπολυπλέκτη.

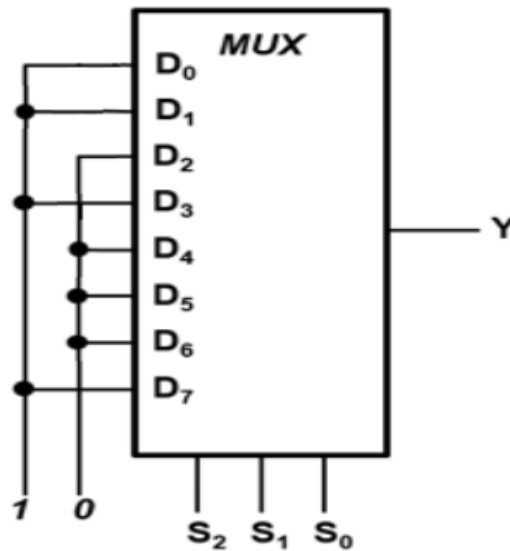
D₀ =

D₁ =

D₂ =

D₃ =

(γ) Στο Σχήμα 10 δίνεται η υλοποίηση μιας λογικής συνάρτησης με τη χρήση πολυπλέκτη. Στις γραμμές επιλογής εισόδου S_2 S_1 S_0 ενώνονται οι μεταβλητές A B C αντίστοιχα.



Σχήμα 10

Να γράψετε τη λογική συνάρτηση που υλοποιεί ο πολυπλέκτης του Σχήματος 10.

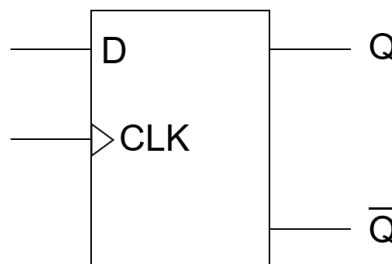
$Y =$

(δ) Πολυπλέκτης έχει τέσσερις (4) γραμμές επιλογής εισόδου δεδομένων. Να υπολογίσετε πόσες εισόδους δεδομένων έχει ο πολυπλέκτης.

.....

15. (α) Με τη χρήση του D Φλιπ Φλοπ του Σχήματος 11, να σχεδιάσετε το λογικό κύκλωμα καταχωρητή 4-bit στον οποίον για να εισέλθει και να εξέλθει η πληροφορία των 4-bit χρειάζεται χρόνος 80ns. Η συχνότητα του ωρολογίου (CLK) είναι 100 MHz.

(5 μον.)



Σχήμα 11

.....
.....
.....

(β) Να υπολογίσετε τη συχνότητα των ωρολογιακών παλμών CLK που εφαρμόζονται στην είσοδο των Φλιπ Φλοπ ενός κυκλώματος απαριθμητή Τζόνσον των 4-bit, όταν η συχνότητα των παλμών εξόδου του κυκλώματος είναι 125 kHz.

.....
.....
.....
.....

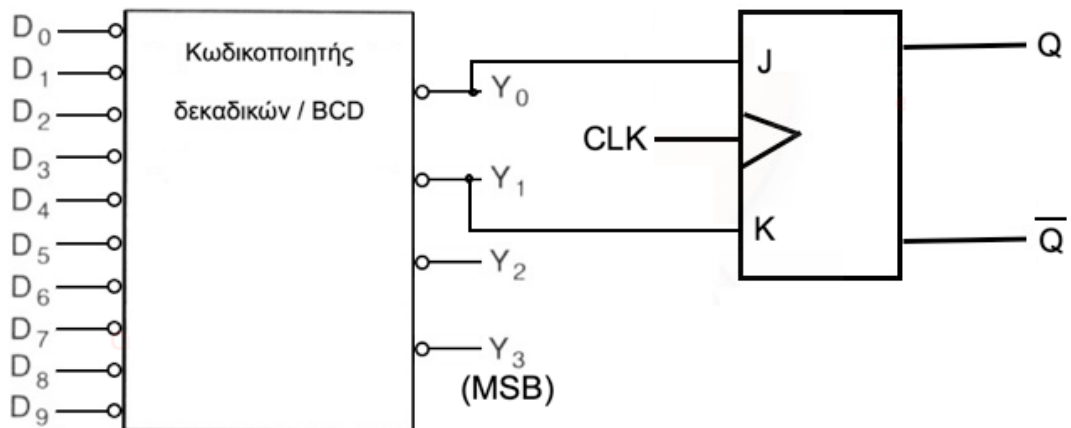
(2 μον.)

(γ) Να επιλέξετε τον καταχωρητή για τον οποίον αναφέρεται η πιο κάτω δήλωση:
«Ο χρόνος εισόδου και εξόδου μιας πληροφορίας 4-bit σε καταχωρητή των 4-bit, ισούται με το χρόνο εισόδου και εξόδου μιας πληροφορίας 8-bit σε καταχωρητή των 8-bit».

- (Α) Καταχωρητής Διαδοχικής Εισόδου – Διαδοχικής Εξόδου
- (Β) Καταχωρητής Διαδοχικής Εισόδου – Παράλληλης Εξόδου
- (Γ) Καταχωρητής Παράλληλης Εισόδου – Διαδοχικής Εξόδου
- (Δ) Καταχωρητής Παράλληλης Εισόδου – Παράλληλης Εξόδου

.....
(1 μον.)

16. Δίνεται το πιο κάτω ψηφιακό κύκλωμα (Σχήμα 12), στο οποίο το ψηφίο εξόδου με τη μεγαλύτερη αξία (MSB) του κωδικοποιητή είναι το Y_3 .



Σχήμα 12

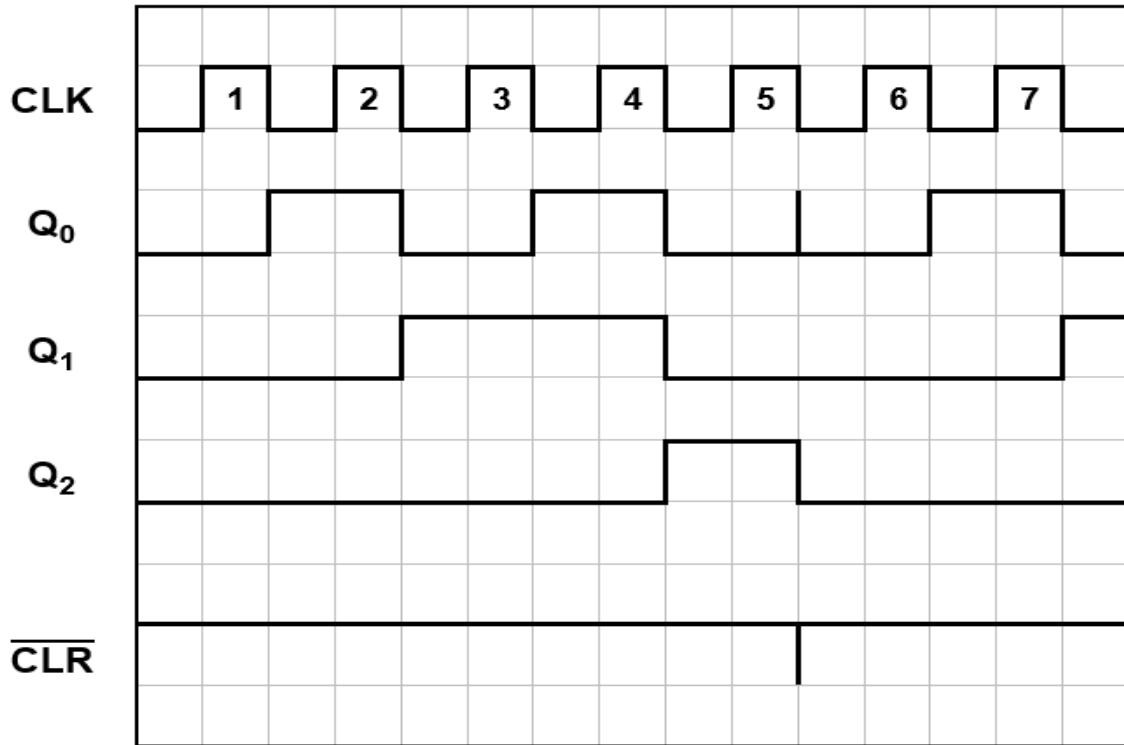
Να συμπληρώσετε τον πιο κάτω πίνακα λειτουργίας (Πίνακας 3) του κυκλώματος στο Σχήμα 12.

$D_9 \dots D_4$	D_3	D_2	D_1	D_0	CLK	J	K	Q_{n+1}	\overline{Q}_{n+1}
1	1	1	0	1	↑				
1	1	1	1	0	↑				
1	1	0	1	1	↑				
1	0	1	1	1	↓				

Πίνακας 3

ΜΕΡΟΣ Γ΄ - Το μέρος Γ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.

17. Στο Σχήμα 13 δίνονται τα χρονικά διαγράμματα των εξόδων Q_0 , Q_1 , Q_2 και της εισόδου \overline{CLR} ενός ασύγχρονου δυαδικού απαριθμητή για επτά παλμούς CLK .

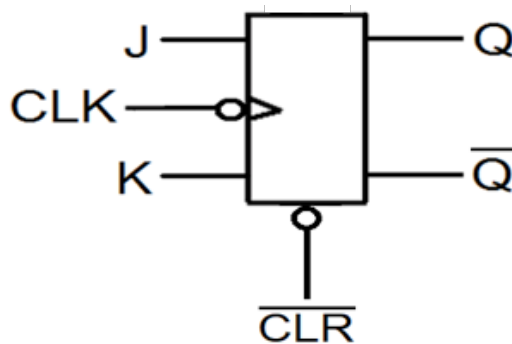


Σχήμα 13

(α) Να δώσετε το μέτρο του απαριθμητή.

..... (1 μον.)

(β) Να χρησιμοποιήσετε το Φλιπ Φλοπ που δίνεται στο Σχήμα 14 για να σχεδιάσετε το κύκλωμα του πιο πάνω απαριθμητή.



Σχήμα 14

(4 μον.)

(γ) Ασύγχρονος δυαδικός απαριθμητής έχει μέτρο MOD 29.
Το κάθε Φλιπ Φλοπ του απαριθμητή έχει χρόνο καθυστέρησης 20 ns.
Η συχνότητα των ωρολογιακών παλμών (CLK) είναι 200 kHz.
Να υπολογίσετε:

(i) Τον μέγιστο χρόνο καθυστέρησης που μπορεί να υπάρξει στον απαριθμητή, έτσι ώστε ο απαριθμητής να μετρά σωστά.

.....
.....
.....

(2 μον.)

(ii) Τη συχνότητα των παλμών (f) στην έξοδο που δίνει το περισσότερο σημαντικό ψηφίο (MSB) του απαριθμητή.

.....
.....
.....

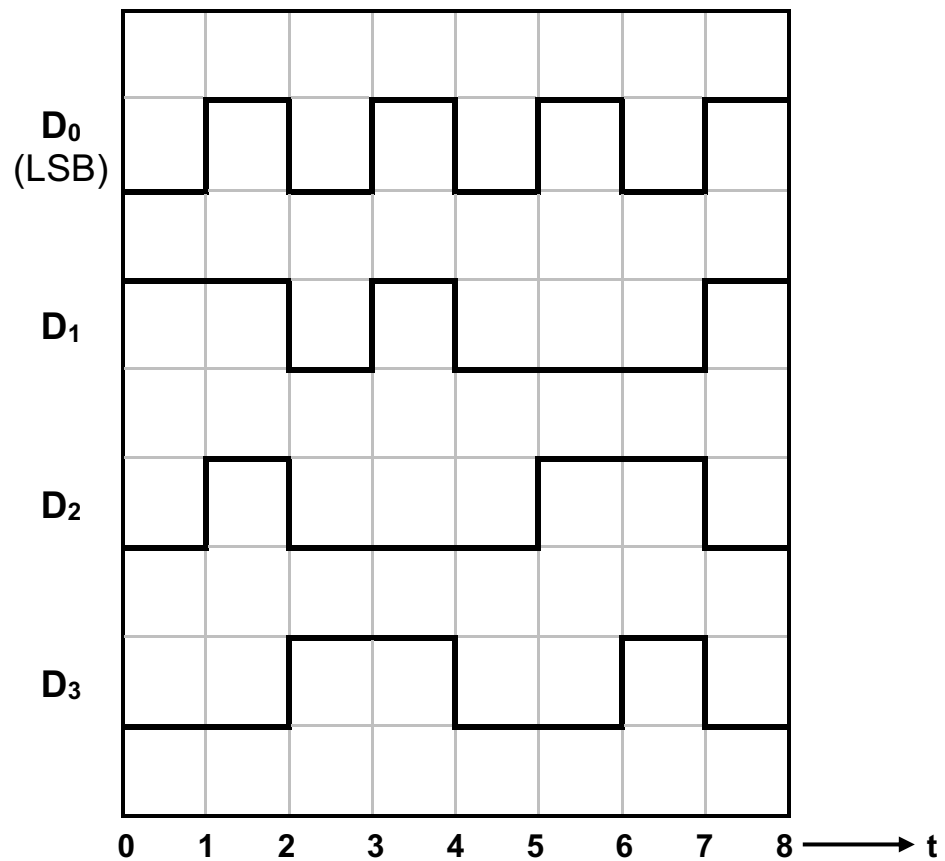
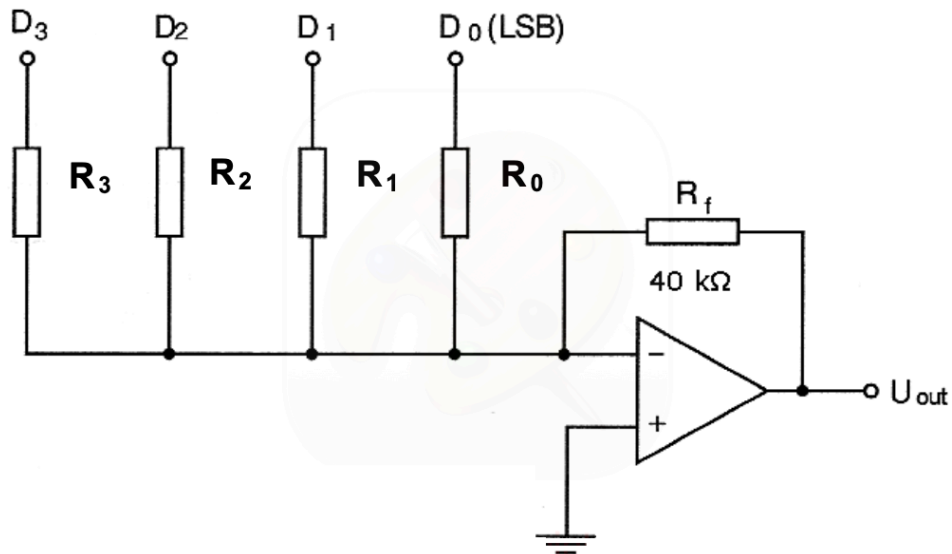
(2 μον.)

(δ) Να υπολογίσετε τον συνολικό χρόνο καθυστέρησης που έχει ένας σύγχρονος απαριθμητής των 3-bit με χρόνο καθυστέρησης 10 ns για κάθε Φλιπ Φλοπ.

.....
.....

(1 μον.)

18. Στο Σχήμα 15 δίνονται το κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό (D/A) και το ψηφιακό σήμα που εφαρμόζεται στην είσοδό του. Η τιμή της αντίστασης R_1 είναι $200\text{ k}\Omega$ και της αντίστασης R_f είναι $40\text{ k}\Omega$. Το λογικό 1 αντιστοιχεί στα $+5\text{ V}$ και το λογικό 0 στα 0 V .



Σχήμα 15

- (α) (i) Να υπολογίσετε τις τιμές των τριών αντιστάσεων R_0 , R_2 και R_3 στο κύκλωμα του Σχήματος 15.

$R_0 =$

$R_2 =$

$R_3 =$

(3 μον.)

- (ii) Να υπολογίσετε την μέγιστη τιμή τάσης του σήματος εξόδου (U_{out}) του κυκλώματος στο Σχήμα 15, που αντιστοιχεί στον ψηφιακό κώδικα με τη μέγιστη αξία.

.....
.....
.....
.....
.....

(1 μον.)

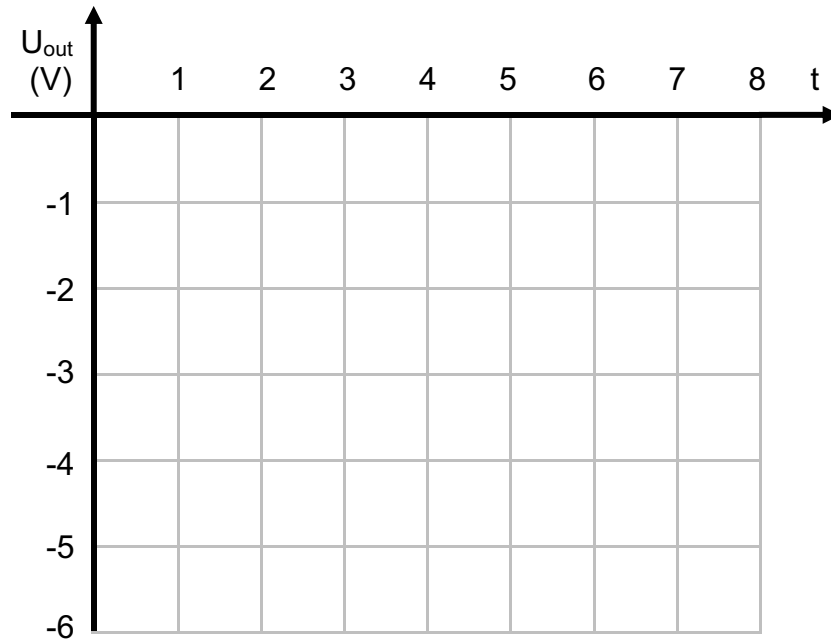
- (β) Να συμπληρώσετε τον πίνακα λειτουργίας (Πίνακας 4) του κυκλώματος του Σχήματος 15.

ΕΙΣΟΔΟΙ				ΕΞΟΔΟΣ	ΧΡΟΝΟΣ
D_3	D_2	D_1	D_0	U_{out} (V)	t
					0 – 1
					1 – 2
					2 – 3
					3 – 4
					4 – 5
					5 – 6
					6 – 7
					7 – 8

(2 μον.)

Πίνακας 4

(γ) Στο Σχήμα 16 να σχεδιάσετε το αναλογικό σήμα εξόδου (U_{out}) του κυκλώματος.



(2 μον.)

Σχήμα 16

(δ) Ο μέγιστος χρόνος μετατροπής ενός μετατροπέα αναλογικού σήματος σε ψηφιακό (A/D) είναι $20 \mu\text{s}$. Να υπολογίσετε τη μέγιστη συχνότητα που μπορεί να περιέχει το αναλογικό σήμα για να είναι δυνατή η μετατροπή του σε ψηφιακό σήμα από τον μετατροπέα αυτό (σύμφωνα με το θεώρημα Shannon).

.....

.....

.....

.....

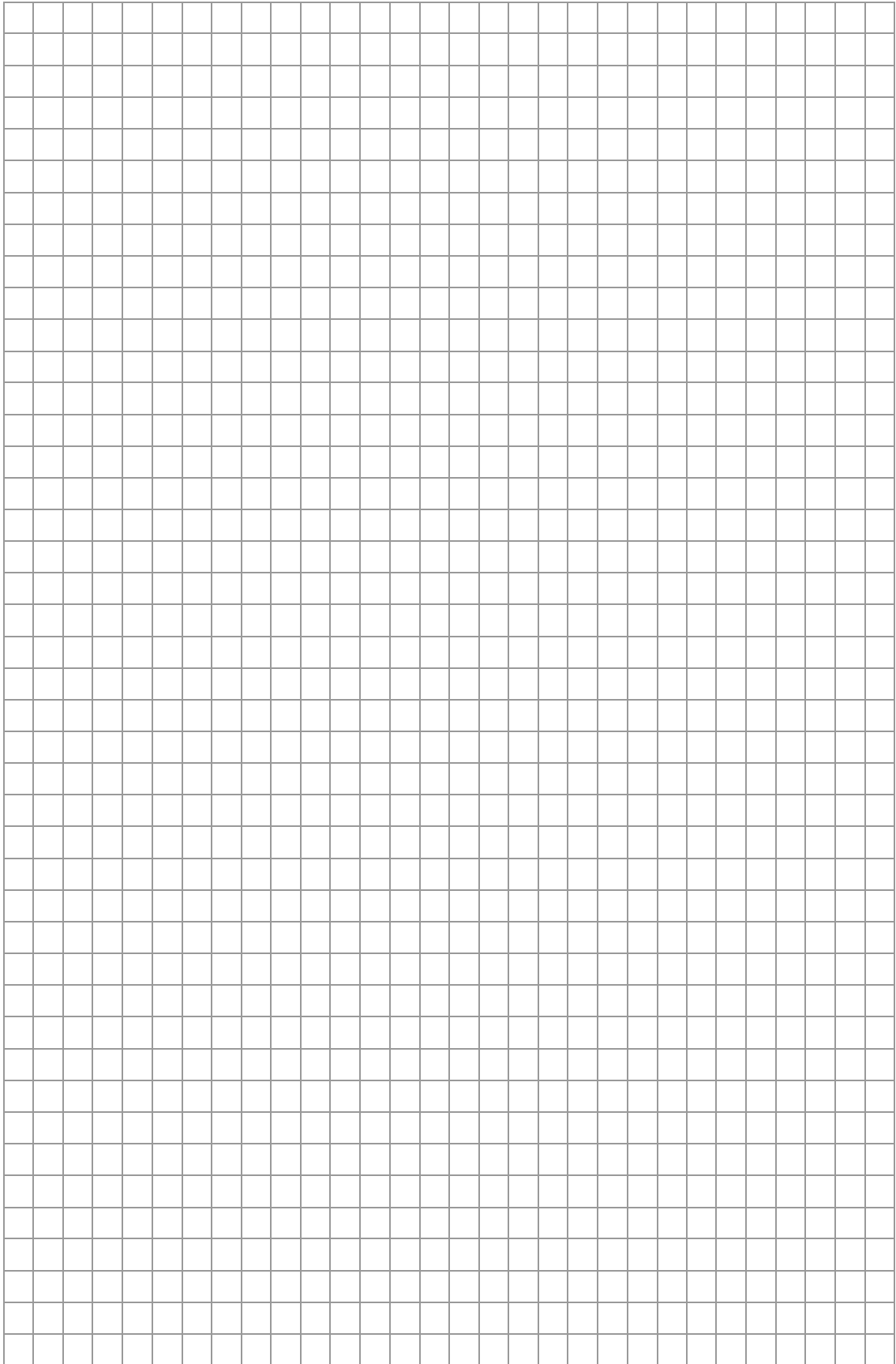
.....

(2 μον.)

----- ΤΕΛΟΣ ΕΞΕΤΑΣΗΣ -----

ΠΡΟΧΕΙΡΟ

ΠΡΟΧΕΙΡΟ



ΤΥΠΟΛΟΓΙΟ ΓΙΑ ΤΟ ΜΑΘΗΜΑ «ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ»	
ΑΛΓΕΒΡΑ ΤΟΥ ΜΠΟΥΛ (BOOLE)	
Αξίωμα της αντιμετάθεσης	$A + B = B + A$ $A \cdot B = B \cdot A$
Αξίωμα του προσεταιρισμού	$A \cdot B \cdot C = (A \cdot B) \cdot C = A \cdot (B \cdot C)$ $A + B + C = (A + B) + C = A + (B + C)$
Αξίωμα του επιμερισμού	$A \cdot (B + C) = A \cdot B + A \cdot C$
Κανόνες της άλγεβρας Boole	$A + 0 = A$ $A + 1 = 1$ $A \cdot 0 = 0$ $A \cdot 1 = A$ $A + A = A$ $A + \bar{A} = 1$ $A \cdot A = A$ $A \cdot \bar{A} = 0$ $\bar{\bar{A}} = A$ $A + A \cdot B = A$ $A + \bar{A} \cdot B = A + B$ $(A + B) \cdot (A + C) = A + B \cdot C$
Θεώρημα Ντε Μόργαν (De Morgan)	$\overline{A + B} = \bar{A} \cdot \bar{B}$ $\overline{A \cdot B} = \bar{A} + \bar{B}$
ΠΟΛΥΔΟΝΗΤΕΣ	
Κύκλος Δράσης	$d = \frac{t_H}{T} \times 100\%$
Περίοδος παλμών	$T = t_H + t_L = 1 / f$
ΑΠΑΡΙΘΜΗΤΕΣ	
Μέγιστο μέτρο απαριθμητή	$max\ MOD = 2^v$
Μέγιστη συχνότητα αρίθμησης ασύγχρονου απαριθμητή	$f_{max} = \frac{1}{vt_p}$
Συχνότητα παλμών στην έξοδο που δίνει το περισσότερο σημαντικό ψηφίο απαριθμητή με μέτρο N	$f = \frac{f_{CLK}}{N}$
ΚΑΤΑΧΩΡΗΤΕΣ	
Συχνότητα κυκλικού απαριθμητή	$f_Q = \frac{1}{N} f_{CLK}$
Συχνότητα απαριθμητή Τζόνσον (Johnson)	$f_Q = \frac{1}{2N} f_{CLK}$

ΛΟΓΙΚΕΣ ΠΥΛΕΣ	
Πύλη AND	$Y = A \cdot B$
Πύλη OR	$Y = A + B$
Πύλη NOT	$Y = \bar{A}$
Πύλη NAND	$Y = \overline{A \cdot B}$
Πύλη NOR	$Y = \overline{A + B}$
Πύλη EXCLUSIVE OR	$Y = A \oplus B$
Πύλη EXCLUSIVE NOR	$Y = \overline{A \oplus B}$
ΜΕΤΑΤΡΟΠΕΙΣ D/A	
Ανάλυση	$\frac{FS}{2^N - 1}$
Ανάλυση %	$\frac{1}{2^N - 1} 100\%$
Μετατροπέας D/A με σταθμισμένες αντιστάσεις και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{8R} (8D_3 + 4D_2 + 2D_1 + D_0)$
Μετατροπείς D/A με κλιμακωτό δίκτυο αντιστάσεων και τελεστικό ενισχυτή	$U_{out} = -U_{in} \frac{R_f}{2R} (D_3 + \frac{1}{2}D_2 + \frac{1}{4}D_1 + \frac{1}{8}D_0)$
	$U_{out} = \frac{U_{in}}{2} (D_3 + \frac{1}{2}D_2 + \frac{1}{4}D_1 + \frac{1}{8}D_0)$