

ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΑΘΛΗΤΙΣΜΟΥ ΚΑΙ ΝΕΟΛΑΙΑΣ  
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΕΚΠΑΙΔΕΥΣΗΣ  
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ ΠΡΟΣΒΑΣΗΣ 2024

ΤΕΧΝΟΛΟΓΙΑ ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Ψηφιακά Ηλεκτρονικά II (410)  
Ημερομηνία : Παρασκευή, 14 Ιουνίου 2024  
Ώρα εξέτασης : 08:00 – 10:30

# Λύσεις



**ΜΕΡΟΣ Α΄** - Το μέρος Α αποτελείται από δώδεκα (12) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με τέσσερις (4) μονάδες.

1. (α) Ένα κύκλωμα ελέγχου για μονό ψηφίο ισοτιμίας δέχεται τους πιο κάτω κώδικες. Να προσδιορίσετε κατά πόσο ο κάθε κώδικας είναι σωστός ή λανθασμένος.

(1) 11111      **ΣΩΣΤΟΣ** / ΛΑΝΘΑΣΜΕΝΟΣ

**ΣΩΣΤΟΣ**

(2) 11000      ΣΩΣΤΟΣ / **ΛΑΝΘΑΣΜΕΝΟΣ**

**ΛΑΝΘΑΣΜΕΝΟΣ**

- (β) Δίνεται η λογική συνάρτηση του κυκλώματος παραγωγής ζυγού ψηφίου ισοτιμίας.

$$P = (A_3 \oplus A_2) \oplus (A_1 \oplus A_0)$$

Να γράψετε τη λογική συνάρτηση του κυκλώματος παραγωγής μονού ψηφίου ισοτιμίας.

$$P = \overline{(A_3 \oplus A_2) \oplus (A_1 \oplus A_0)}$$

2. (α) Να δώσετε τον αριθμό των εισόδων και τον αριθμό των εξόδων που έχει ένας ψηφιακός συγκριτής 1-bit.

Αριθμός Εισόδων: **2 (δύο)**

Αριθμός Εξόδων: **3 (τρεις)**

- (β) Να δώσετε τον ορισμό του «ψηφιακού συγκριτή».

**Ο ψηφιακός συγκριτής είναι ένα συνδυαστικό κύκλωμα που συγκρίνει δύο αριθμούς, για παράδειγμα A και B, και βρίσκει αν είναι ίσοι ή ποιος από τους δύο είναι μεγαλύτερος.**

3. Για καθεμιά από τις πιο κάτω δηλώσεις να απαντήσετε ΣΩΣΤΟ ή ΛΑΘΟΣ.

- (α) Τα κυκλώματα της λογικής οικογένειας TTL είναι κατασκευασμένα με διπολικά τρανζίστορ ενώ τα κυκλώματα της λογικής οικογένειας CMOS είναι κατασκευασμένα με τρανζίστορ MOSFET.

**ΣΩΣΤΟ**

- (β) Η τάση τροφοδοσίας της λογικής οικογένειας CMOS απαιτείται να είναι σταθερή.

**ΛΑΘΟΣ**

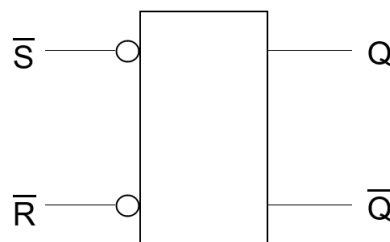
(γ) Η μείωση της καταναλισκόμενης ισχύος σε μια λογική οικογένεια λειτουργεί συνήθως αρνητικά στην ταχύτητα λειτουργίας της.

**ΣΩΣΤΟ**

(δ) Όσο πιο μικρό είναι το ύψος του θορύβου που ανέχεται μια λογική οικογένεια τόσο το καλύτερο.

**ΛΑΘΟΣ**

4. Στο Σχήμα 1 δίνεται το λογικό σύμβολο ενός NAND Φλιπ Φλοπ. Να συμπληρώσετε τον πίνακα αληθείας του Φλιπ Φλοπ (Πίνακας 1).

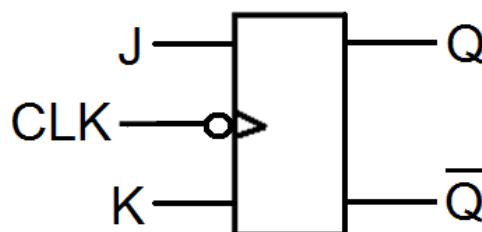


**Σχήμα 1**

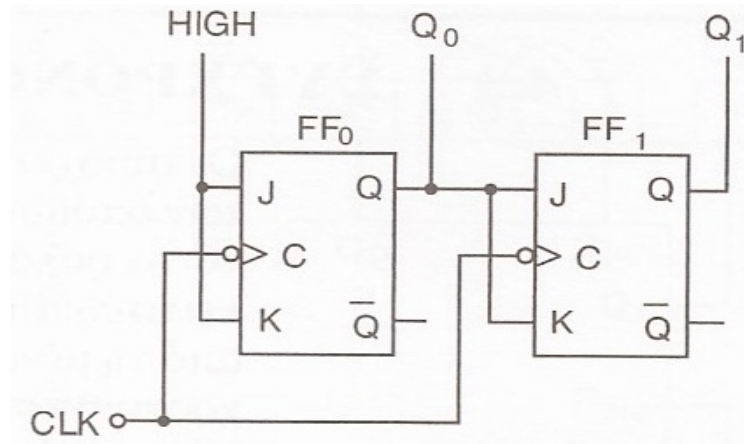
Είσοδοι		Έξοδοι		
$\bar{S}$	$\bar{R}$	$Q_{n+1}$	$\bar{Q}_{n+1}$	Κατάσταση
0	0	1	1	Απαγορευμένη
0	1	1	0	SET
1	0	0	1	RESET
1	1	$Q_n$	$\bar{Q}_n$	MEMORY

**Πίνακας 1**

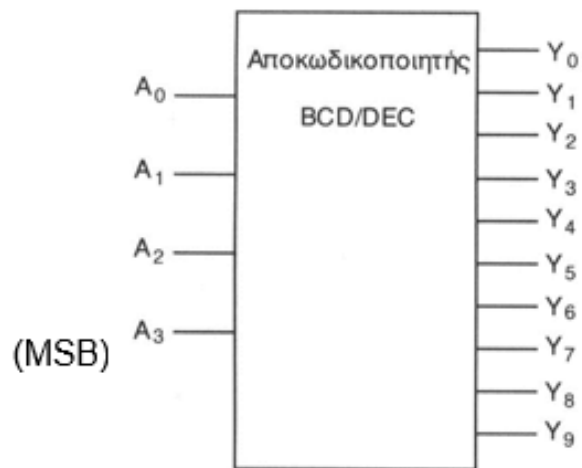
5. Δίνεται το JK Φλιπ Φλοπ του Σχήματος 2. Να σχεδιάσετε το κύκλωμα σύγχρονου, αύξοντα δυαδικού απαριθμητή με μέγιστο μέτρο (max MOD) 4.



**Σχήμα 2**



6. (α) Στο Σχήμα 3 δίνεται το λογικό σύμβολο του αποκωδικοποιητή από τον κώδικα BCD στο δεκαδικό σύστημα.



**Σχήμα 3**

Να γράψετε τη λογική συνάρτηση των εξόδων  $Y_4$  και  $Y_7$ .

$$Y_4 = \bar{A}_3 \cdot A_2 \cdot \bar{A}_1 \cdot \bar{A}_0$$

$$Y_7 = \bar{A}_3 \cdot A_2 \cdot A_1 \cdot A_0$$

- (β) Να υπολογίσετε τον ελάχιστο αριθμό των bit που απαιτούνται για την κωδικοποίηση 150 χαρακτήρων.

$$2^7 < 150 < 2^8 \Rightarrow \text{Απαιτούνται 8 bit}$$

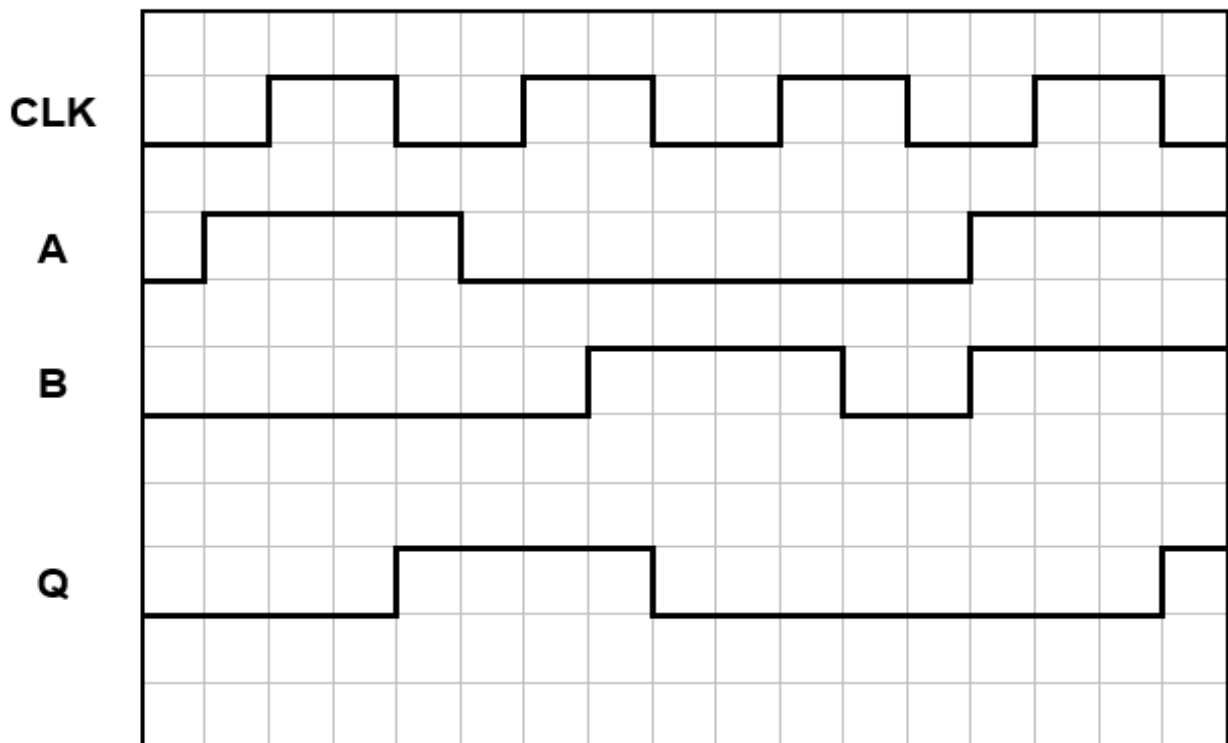
7. (α) Να ονομάσετε την κατηγορία κυκλωμάτων που κατασκευάζονται με Φλιπ Φλοπ.

**Ακολουθιακά κυκλώματα**

(β) Να αναφέρετε ποια ιδιότητα προσφέρει στα κυκλώματα αυτά η χρήση των Φλιπ Φλοπ.

**Την ιδιότητα της ΜΝΗΜΗΣ**

(γ) Στο Σχήμα 4 δίνονται τα χρονικά διαγράμματα των εισόδων και της εξόδου **Q** ενός σύγχρονου / χρονοζόμενου Φλιπ Φλοπ. Η αρχική κατάσταση του Φλιπ Φλοπ είναι RESET.



**Σχήμα 4**

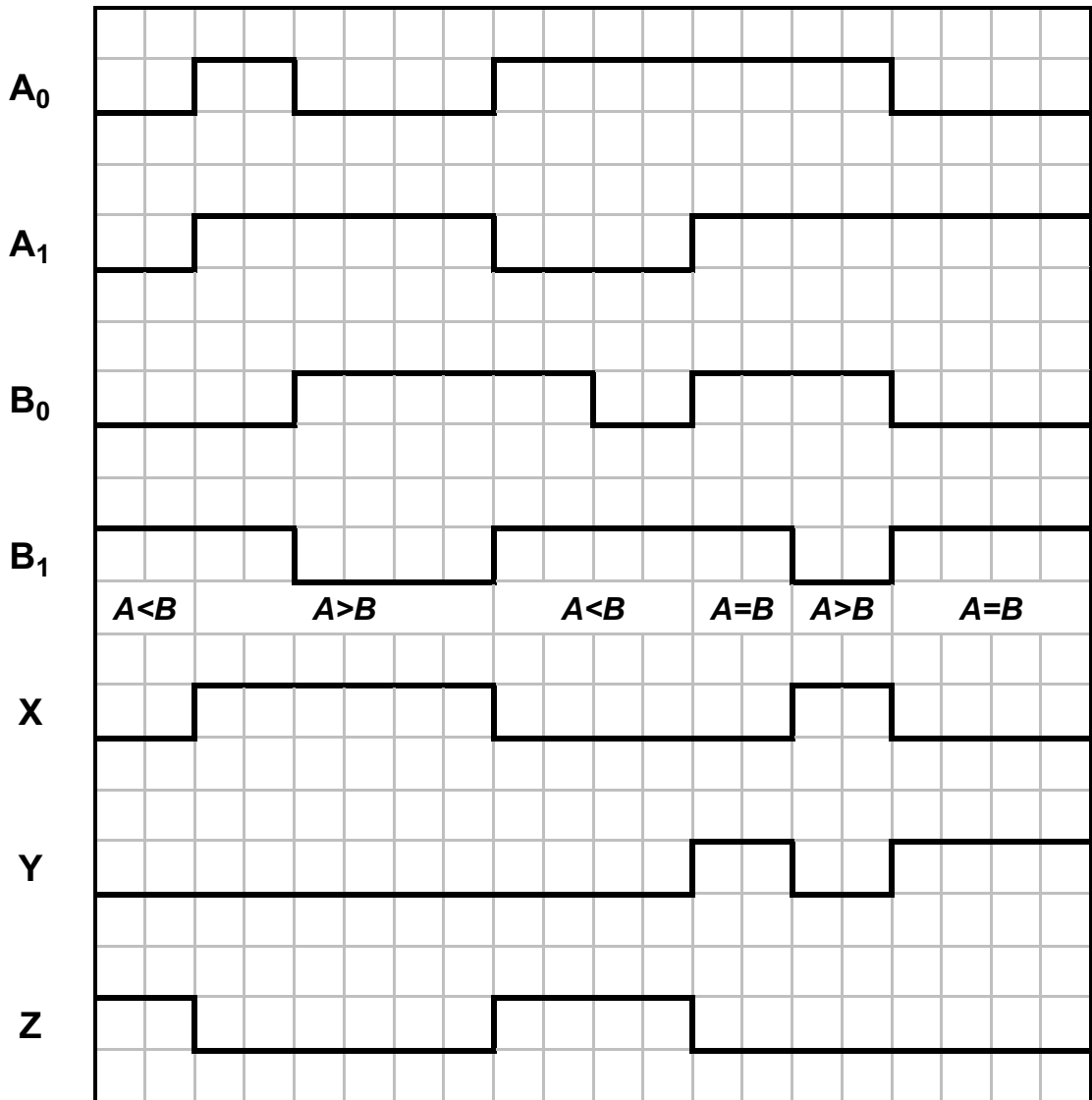
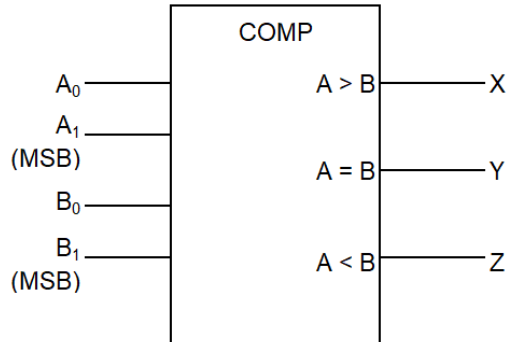
Να επιλέξετε σε ποιο από τα παρακάτω Φλιπ Φλοπ (FF) ανήκουν τα χρονικά διαγράμματα A και B του Σχήματος 4 (AB αντιστοιχεί στο SR ή στο JK):

- A B**
- (Α)  $\overline{S} \overline{R}$  – FF χρονοζόμενο στα θετικά μέτωπα
  - (Β) S R – FF χρονοζόμενο στα αρνητικά μέτωπα
  - (Γ) J K – FF χρονοζόμενο στα θετικά μέτωπα
  - (Δ) J K – FF χρονοζόμενο στα αρνητικά μέτωπα**

**Το (Δ) J K – FF χρονοζόμενο στα αρνητικά μέτωπα**

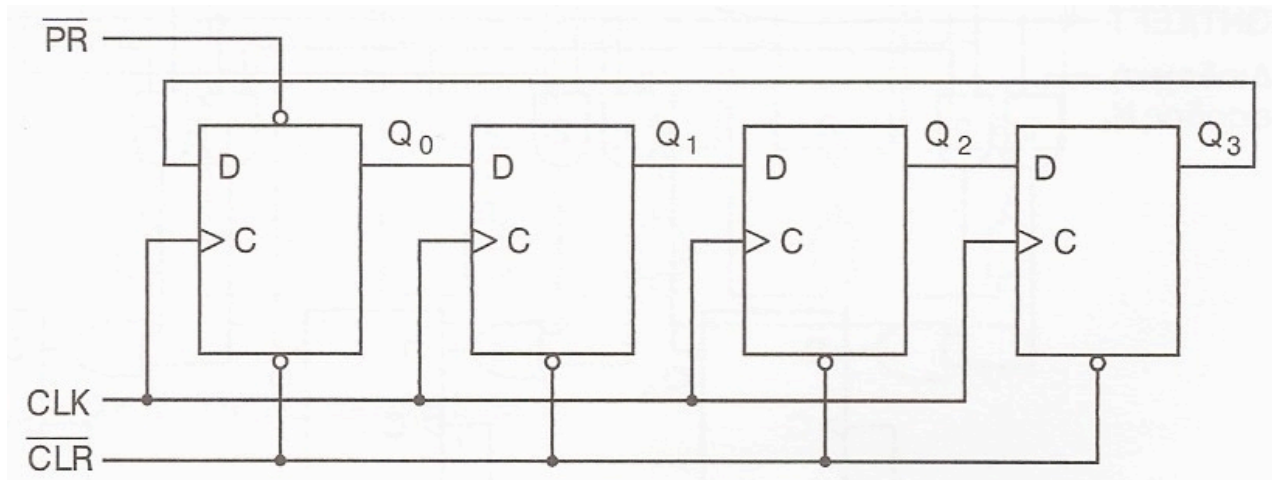
8. Στο Σχήμα 5 δίνονται το λογικό σύμβολο και τα χρονικά διαγράμματα που εφαρμόζονται στις εισόδους ψηφιακού συγκριτή 2-bit.

Να σχεδιάσετε στο ίδιο σχήμα, τα χρονικά διαγράμματα των τριών εξόδων **X**, **Y** και **Z** του συγκριτή.



**Σχήμα 5**

9. Δίνεται το κύκλωμα του Σχήματος 6, στο οποίο βρίσκεται καταχωρημένη η κωδική λέξη **0010** (υφιστάμενη κατάσταση).



**Σχήμα 6**

- (α) Να δώσετε την πλήρη / ακριβή ονομασία του κυκλώματος του Σχήματος 6.

***Κυκλικός Απαριθμητής (ring counter) 4-bit***

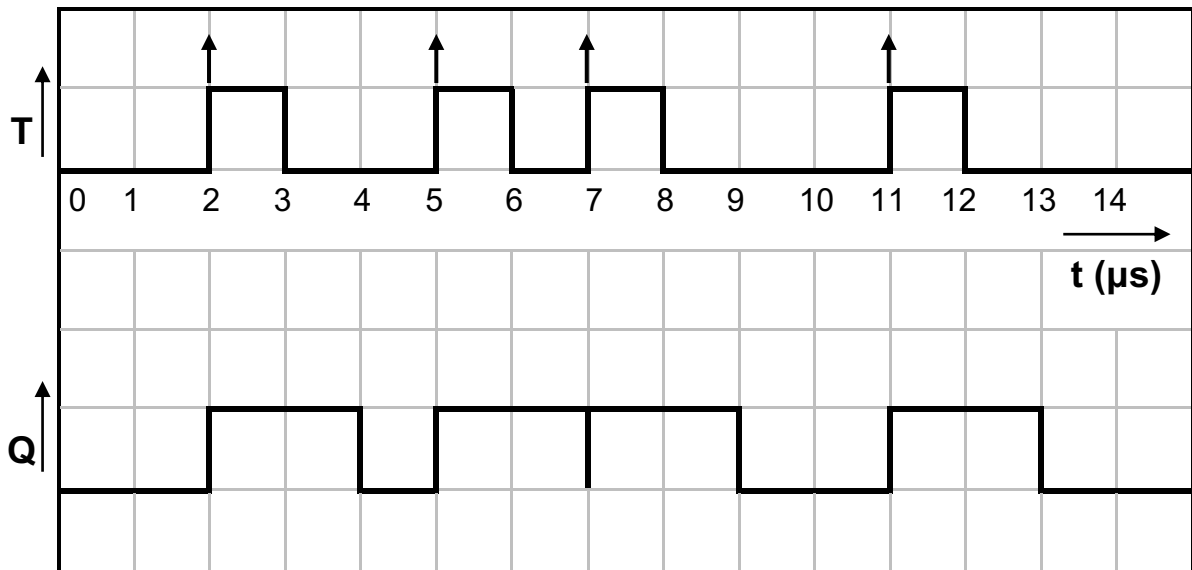
- (β) Να συμπληρώσετε τον πιο κάτω πίνακα (Πίνακας 2) με το περιεχόμενο του ίδιου κυκλώματος, για τους επόμενους ωρολογιακούς παλμούς (μετά την υφιστάμενη κατάσταση) που αναφέρονται.

	<b>Q<sub>0</sub></b>	<b>Q<sub>1</sub></b>	<b>Q<sub>2</sub></b>	<b>Q<sub>3</sub></b>
Υφιστάμενη κατάσταση	0	0	1	0
Περιεχόμενο μετά τον πρώτο ωρολογιακό παλμό	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>
Περιεχόμενο μετά το δεύτερο ωρολογιακό παλμό	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>
Περιεχόμενο μετά τον τρίτο ωρολογιακό παλμό	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>

**Πίνακας 2**



10. Στο Σχήμα 7 δίνονται τα χρονικά διαγράμματα της εισόδου **T** και της εξόδου **Q** ενός μονοσταθί πολυδονητή, ο οποίος διεγείρεται στα θετικά μέτωπα των παλμών διέγερσης. Η σταθερή κατάσταση του μονοσταθί πολυδονητή είναι το λογικό 0.



**Σχήμα 7**

- (α) Να υπολογίσετε τον χρόνο βολής του μονοσταθί πολυδονητή.

**Ο χρόνος βολής του μονοσταθί πολυδονητή είναι 2 μs**

- (β) Να αναφέρετε αν ο πιο πάνω μονοσταθί πολυδονητής είναι επαναδιεγερόμενος ή μη επαναδιεγερόμενος.

**Μη επαναδιεγερόμενος**

11. (α) Να υπολογίσετε τον μέγιστο αριθμό εξόδων αποκωδικοποιητή, όταν ο αριθμός των bit στον κώδικα εισόδου είναι 6-bit.

**Μέγιστος αριθμός εξόδων,  $M_{max} = 2^N = 2^6 = 64$  έξοδοι**

- (β) Στην είσοδο κυκλώματος αποκωδικοποιητή από BCD σε 7-τμηματική μονάδα ένδειξης, εφαρμόζεται ο κώδικας **0101**. Να επιλέξετε τις εξόδους του αποκωδικοποιητή που ενεργοποιούνται.

- (A) a, b, c, f, g  
 (B) a, b, d, e, g  
 (Γ) c, d, e, f, g  
 (Δ) **a, c, d, f, g**

**Το (Δ) a, c, d, f, g**

12. Δίνεται ο ακόλουθος ορισμός που αναφέρεται σε συνδυαστικό λογικό κύκλωμα:

«Ο            **X**            είναι ένα συνδυαστικό λογικό κύκλωμα που επιτρέπει τη μεταφορά πληροφοριών από πολλές πηγές εισόδου σε μια γραμμή εξόδου».

(α) Να επιλέξετε από τις παρακάτω απαντήσεις, το όνομα **X** του κυκλώματος στο οποίο αναφέρεται ο πιο πάνω ορισμός.

(Α) Κωδικοποιητής

(Β) Αποκωδικοποιητής

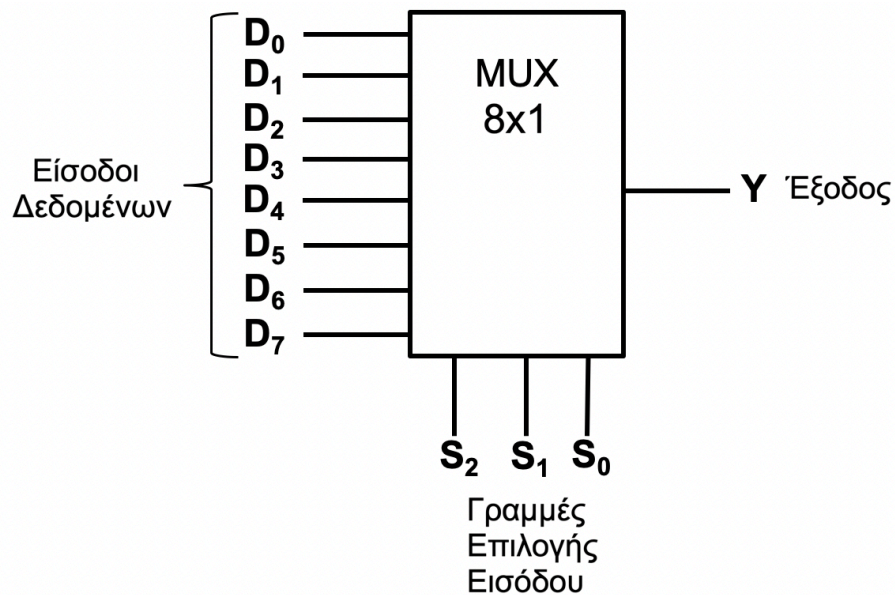
**(Γ) Πολυπλέκτης**

(Δ) Αποπολυπλέκτης

**Το (Γ) Πολυπλέκτης**

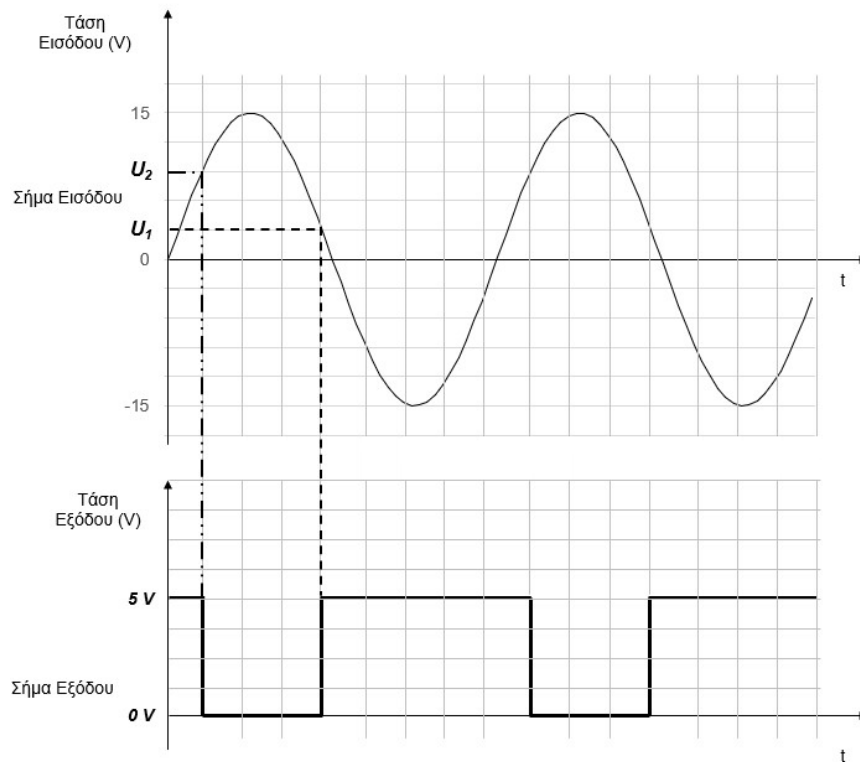
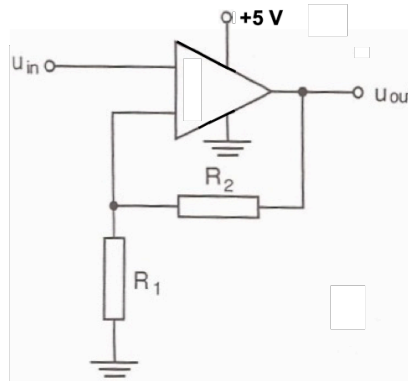
(β) Να σχεδιάσετε το λογικό σύμβολο του κυκλώματος που επιλέξατε στο ερώτημα 12(α), με οκτώ γραμμές εισόδου.

**Για επιλογή μιας από οκτώ γραμμές εισόδου δεδομένων, ο πολυπλέκτης χρειάζεται να διαθέτει τρεις γραμμές επιλογής εισόδου δεδομένων ( $2^N = 8 \Rightarrow N = 3$ )**



**ΜΕΡΟΣ Β΄** - Το μέρος Β αποτελείται από τέσσερις (4) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με οκτώ (8) μονάδες.

13. Στο Σχήμα 8 δίνονται το κύκλωμα σκανδάλης Σμιτ και τα σήματα εισόδου και εξόδου του κυκλώματος.



**Σχήμα 8**

- (α) Να υπολογίσετε την τιμή υστέρησης του κυκλώματος σκανδάλης Σμιτ του Σχήματος 8.

**Από τη γραφική παράσταση των σημάτων εισόδου και εξόδου του Σχήματος 8:**

**Τιμή τάσης άνω κατωφλίου  $U_2 = 9\text{ V}$**

**Τιμή τάσης κάτω κατωφλίου  $U_1 = 3\text{ V}$**

**Υστέρηση =  $U_2 - U_1 = 9 - 3 = 6\text{ V}$**

(β) Να δώσετε τις τιμές τάσης HIGH (ψηλή) και LOW (χαμηλή) σε βολτ (V), που δίνει στην έξοδό του ( $U_{out}$ ) το κύκλωμα.

**HIGH = .....+5..... V**  
 (= θετική τάση τροφοδοσίας)

**LOW = .....0..... V**  
 (= αρνητική τάση τροφοδοσίας)

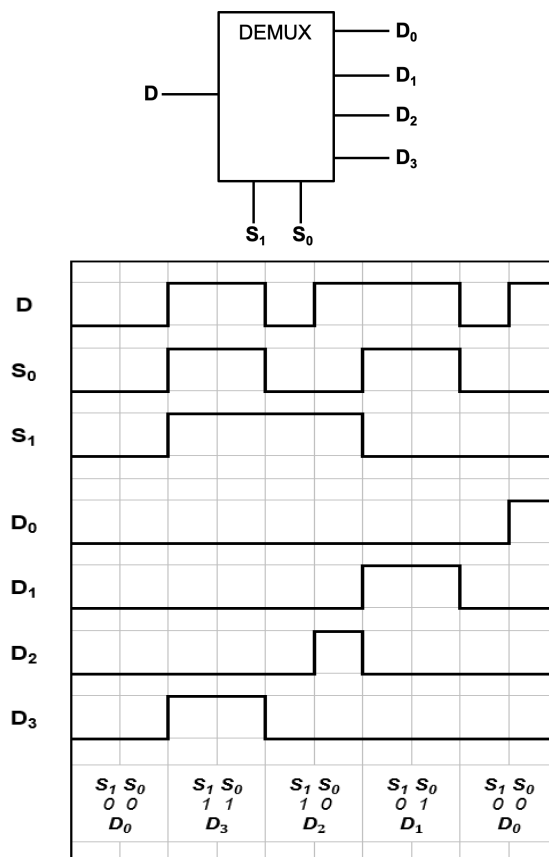
(γ) Να αναφέρετε σε ποια είσοδο (θετική / μη αναστρέφουσα ή αρνητική / αναστρέφουσα) του τελεστικού ενισχυτή του κυκλώματος σκανδάλης Σμιτ εφαρμόζεται το σήμα εισόδου (τάση  $U_{in}$ ).

**Το σήμα εισόδου (τάση  $U_{in}$ ) εφαρμόζεται στην αρνητική (-) / αναστρέφουσα είσοδο.**

(δ) Να δώσετε τον ορισμό του «ασταθή πολυδονητή».

**Ο ασταθής πολυδονητής είναι το κύκλωμα με δύο καταστάσεις εξόδου, τις καταστάσεις 0 (LOW) και 1 (HIGH), από τις οποίες καμιά δεν είναι σταθερή. Η έξοδος του ασταθούς πολυδονητή αλλάζει συνεχώς από την μια κατάσταση στην άλλη. Ο ασταθής πολυδονητής είναι μια γεννήτρια παραγωγής ορθογώνιων παλμών.**

14. (α) Στο Σχήμα 9 δίνονται το λογικό σύμβολο και τα χρονικά διαγράμματα εισόδου κυκλώματος αποπολυπλέκτη μιας γραμμής σε τέσσερις (1X4). Να σχεδιάσετε στο ίδιο σχήμα τα χρονικά διαγράμματα των τεσσάρων εξόδων ( $D_0$ ,  $D_1$ ,  $D_2$ ,  $D_3$ ) του αποπολυπλέκτη. (Το  $S_1$  στις γραμμές επιλογής εξόδου, αντιστοιχεί με το περισσότερο σημαντικό ψηφίο (MSB).)



**Σχήμα 9**

(β) Να γράψετε τις λογικές συναρτήσεις των τεσσάρων εξόδων του αποπολυπλέκτη.

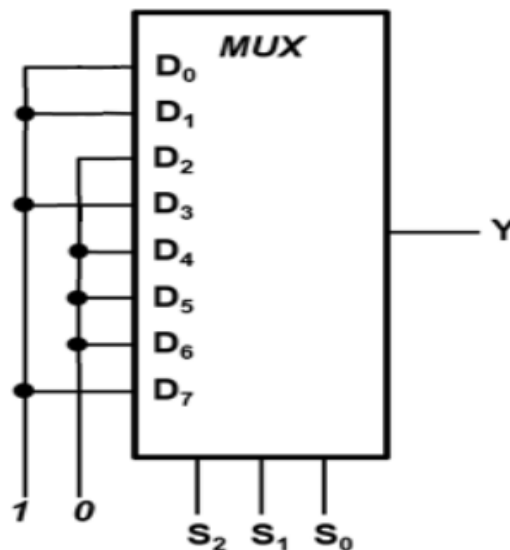
$$D_0 = \bar{S}_1 \cdot \bar{S}_0 \cdot D$$

$$D_1 = \bar{S}_1 \cdot S_0 \cdot D$$

$$D_2 = S_1 \cdot \bar{S}_0 \cdot D$$

$$D_3 = S_1 \cdot S_0 \cdot D$$

(γ) Στο Σχήμα 10 δίνεται η υλοποίηση μιας λογικής συνάρτησης με τη χρήση πολυπλέκτη. Στις γραμμές επιλογής εισόδου  $S_2 S_1 S_0$  ενώνονται οι μεταβλητές  $A B C$  αντίστοιχα.



Σχήμα 10

Να γράψετε τη λογική συνάρτηση που υλοποιεί ο πολυπλέκτης του Σχήματος 10.

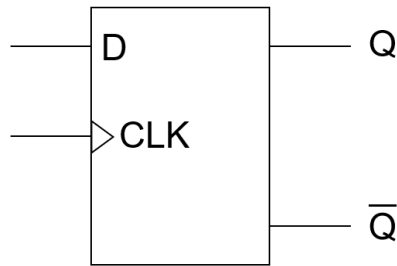
$$Y = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot C + A \cdot B \cdot C$$

(δ) Πολυπλέκτης έχει τέσσερις (4) γραμμές επιλογής εισόδου δεδομένων. Να υπολογίσετε πόσες εισόδους δεδομένων έχει ο πολυπλέκτης.

$$2^4 = 16$$

**Ο πολυπλέκτης έχει 16 εισόδους δεδομένων**

15. (α) Με τη χρήση του D Φλιπ Φλοπ του Σχήματος 11, να σχεδιάσετε το λογικό κύκλωμα καταχωρητή 4-bit στον οποίον για να εισέλθει και να εξέλθει η πληροφορία των 4-bit χρειάζεται χρόνος 80ns. Η συχνότητα του ωρολογίου (CLK) είναι 100 MHz.



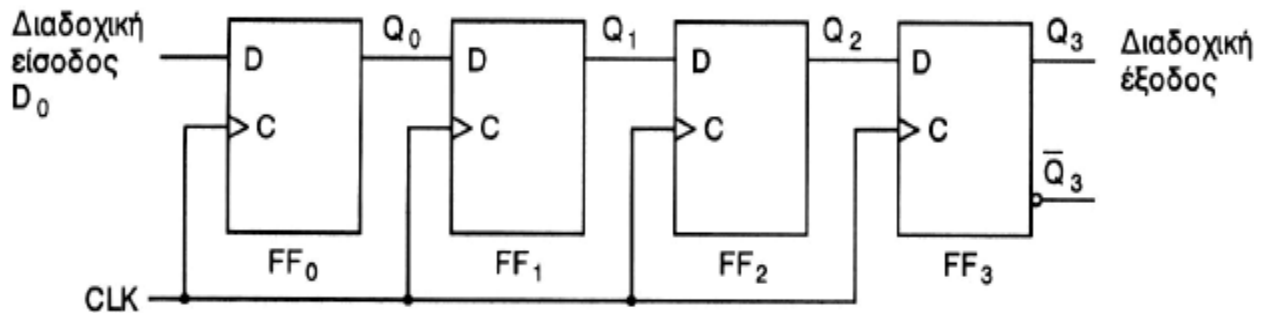
**Σχήμα 11**

Περίοδος CLK:  $T = \frac{1}{f} = \frac{1}{100 \text{ MHz}} = \frac{1}{100 \cdot 10^6 \text{ Hz}} = 0,01 \cdot 10^{-6} \text{ s} = 10 \text{ ns}$

Αφού η περίοδος του CLK είναι 10 ns

⇒ Απαιτούνται 8 ωρολογιακοί παλμοί για να εισέλθει και να εξέλθει η πληροφορία των 4-bit σε καταχωρητή 4-bit ( $8 \times 10 \text{ ns} = 80 \text{ ns}$ )

⇒ Πρόκειται για καταχωρητή SISO.



- (β) Να υπολογίσετε τη συχνότητα των ωρολογιακών παλμών CLK που εφαρμόζονται στην είσοδο των Φλιπ Φλοπ ενός κυκλώματος απ αριθμητή Τζόνσον των 4-bit, όταν η συχνότητα των παλμών εξόδου του κυκλώματος είναι 125 kHz.

**Συχνότητα απ αριθμητή Τζόνσον(Johnson):**

$$f_Q = \frac{1}{2N} f_{CLK}$$

$$\Rightarrow f_{CLK} = 2 \cdot N \cdot f_Q = 2 \cdot 4 \cdot 125 \text{ kHz} = 1000 \text{ kHz} = 1 \text{ MHz}$$

- (γ) Να επιλέξετε τον καταχωρητή για τον οποίο αναφέρεται η πιο κάτω δήλωση:

«Ο χρόνος εισόδου και εξόδου μιας πληροφορίας 4-bit σε καταχωρητή των 4-bit, ισούται με το χρόνο εισόδου και εξόδου μιας πληροφορίας 8-bit σε καταχωρητή των 8-bit».

(Α) Καταχωρητής Διαδοχικής Εισόδου - Διαδοχικής Εξόδου

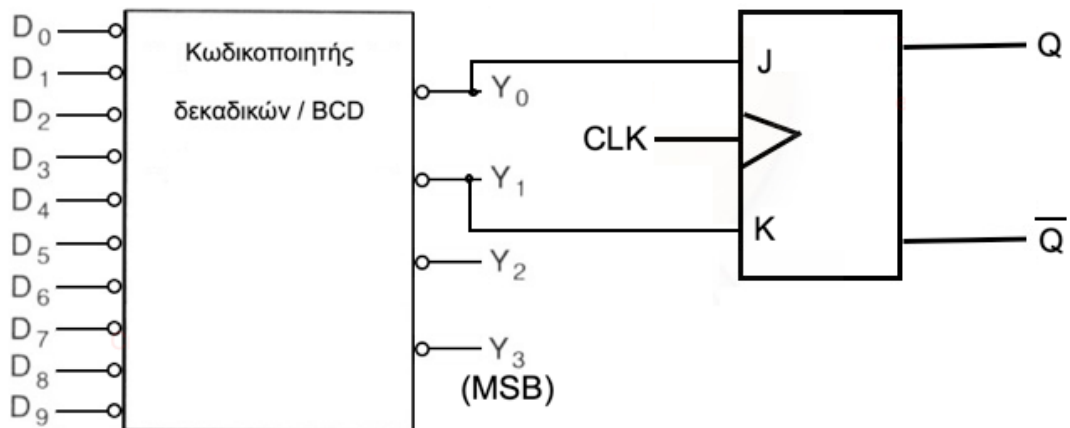
(Β) Καταχωρητής Διαδοχικής Εισόδου - Παράλληλης Εξόδου

(Γ) Καταχωρητής Παράλληλης Εισόδου - Διαδοχικής Εξόδου

**(Δ) Καταχωρητής Παράλληλης Εισόδου - Παράλληλης Εξόδου**

**Το (Δ) Καταχωρητής Παράλληλης Εισόδου - Παράλληλης Εξόδου**

16. Δίνεται το πιο κάτω ψηφιακό κύκλωμα (Σχήμα 12), στο οποίο το ψηφίο εξόδου με τη μεγαλύτερη αξία (MSB) του κωδικοποιητή είναι το  $Y_3$ .



**Σχήμα 12**

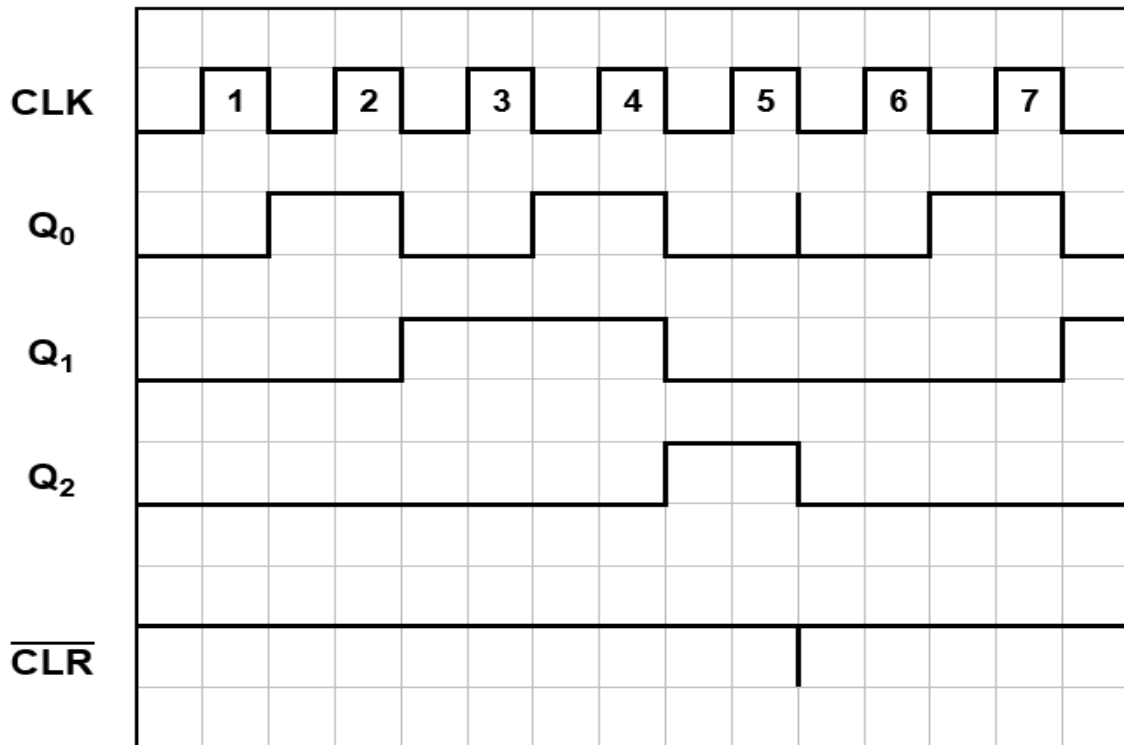
Να συμπληρώσετε τον πιο κάτω πίνακα λειτουργίας (Πίνακας 3) του κυκλώματος στο Σχήμα 12.

$D_9 \dots D_4$	$D_3$	$D_2$	$D_1$	$D_0$	CLK	J	K	$Q_{n+1}$	$\overline{Q}_{n+1}$
1	1	1	0	1	↑	0	1	0	1
1	1	1	1	0	↑	1	1	$\overline{Q}_n$	$Q_n$
1	1	0	1	1	↑	1	0	1	0
1	0	1	1	1	↓	0	0	$Q_n$	$\overline{Q}_n$

**Πίνακας 3**

**ΜΕΡΟΣ Γ΄** - Το μέρος Γ αποτελείται από δύο (2) ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με δέκα (10) μονάδες.

17. Στο Σχήμα 13 δίνονται τα χρονικά διαγράμματα των εξόδων  $Q_0$ ,  $Q_1$ ,  $Q_2$  και της εισόδου  $\overline{CLR}$  ενός ασύγχρονου δυαδικού απαριθμητή για επτά παλμούς  $CLK$ .

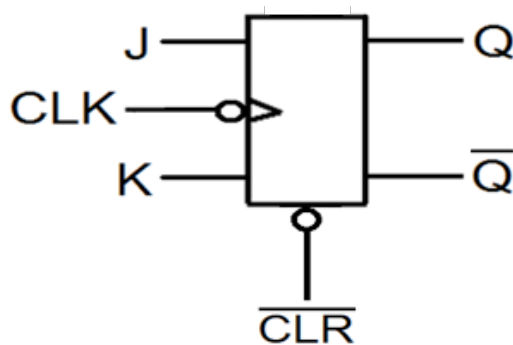


**Σχήμα 13**

(α) Να δώσετε το μέτρο του απαριθμητή.

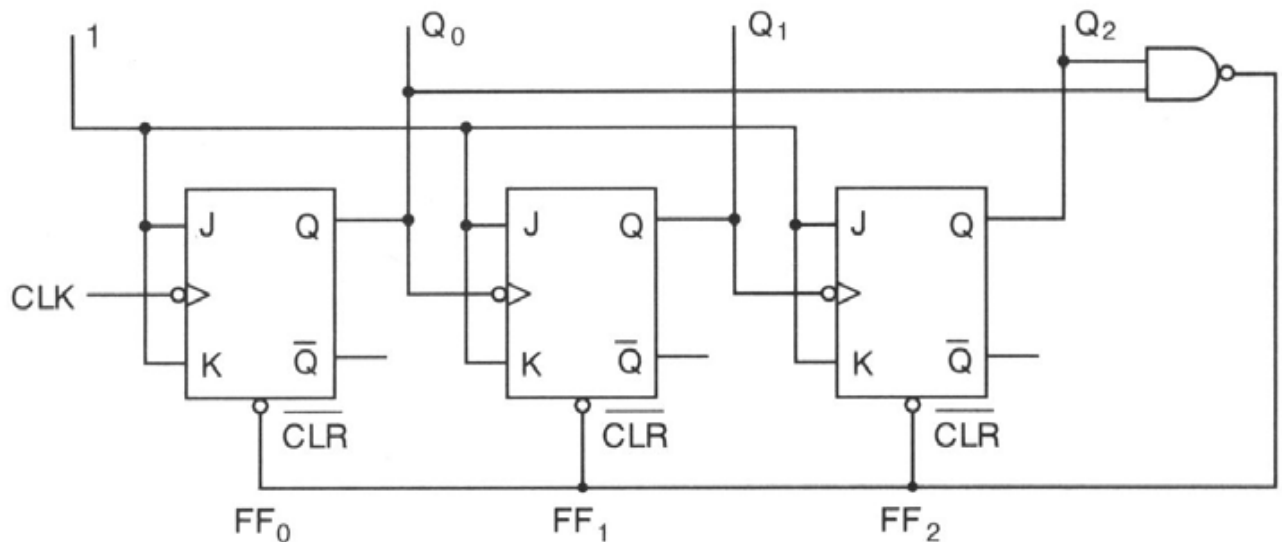
**Ο απαριθμητής έχει Μέτρο (Mod) = 5 (μετρά από το 0 μέχρι το 4)**

(β) Να χρησιμοποιήσετε το Φλιπ Φλοπ που δίνεται στο Σχήμα 14 για να σχεδιάσετε το κύκλωμα του πιο πάνω απαριθμητή.



**Σχήμα 14**





(γ) Ασύγχρονος δυαδικός απαριθμητής έχει μέτρο MOD 29.  
 Το κάθε Φλιπ Φλοπ του απαριθμητή έχει χρόνο καθυστέρησης 20 ns.  
 Η συχνότητα των ωρολογιακών παλμών (CLK) είναι 200 kHz.  
 Να υπολογίσετε:

(i) Τον μέγιστο χρόνο καθυστέρησης που μπορεί να υπάρξει στον απαριθμητή, έτσι ώστε ο απαριθμητής να μετρά σωστά.

**$2^4 < 29 < 2^5 \Rightarrow$  Ο απαριθμητής αποτελείται από 5 Φλιπ Φλοπ  
 Μέγιστος χρόνος καθυστέρησης:  $5 \cdot 20 \text{ ns} = 100 \text{ ns}$**

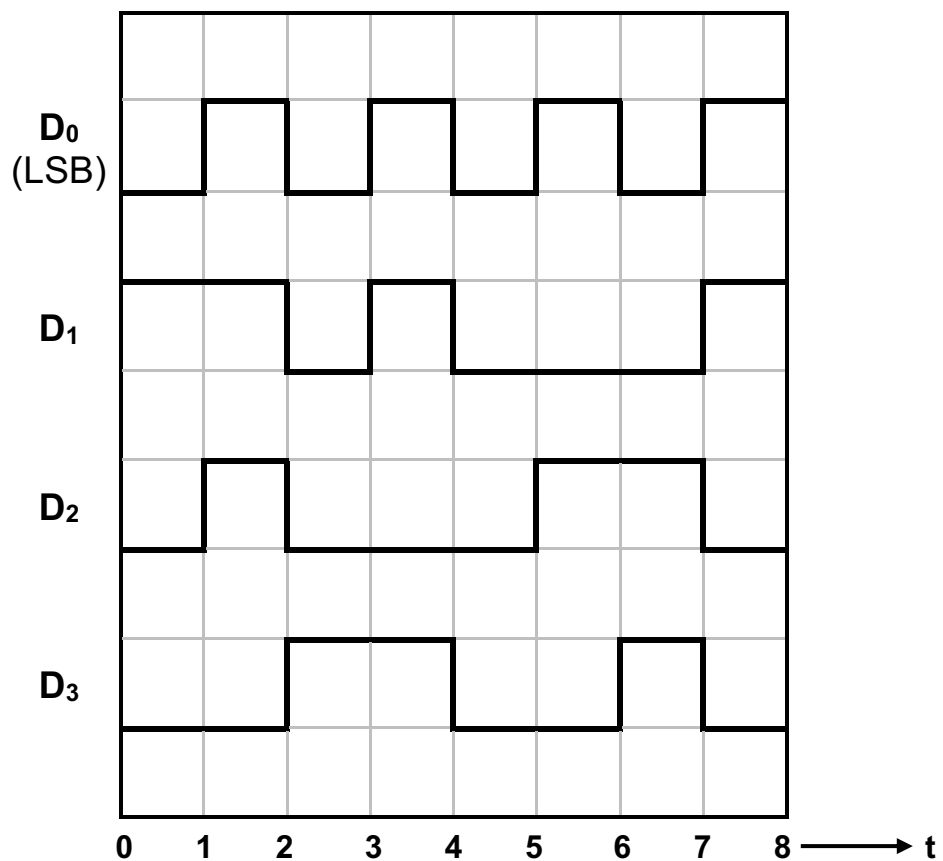
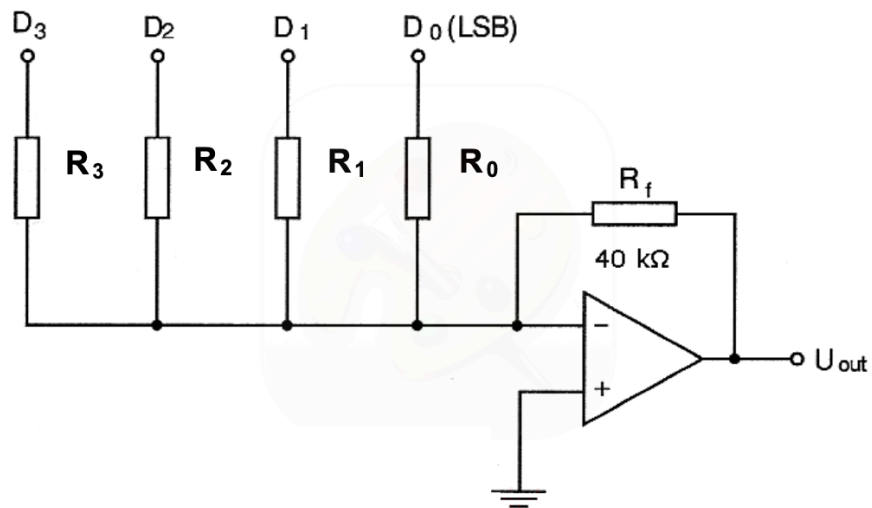
(ii) Τη συχνότητα των παλμών (f) στην έξοδο που δίνει το περισσότερο σημαντικό ψηφίο (MSB) του απαριθμητή.

$$f_Q = \frac{f_{CLK}}{N} = \frac{200 \text{ kHz}}{29} = 6,897 \text{ kHz}$$

(δ) Να υπολογίσετε τον συνολικό χρόνο καθυστέρησης που έχει ένας σύγχρονος απαριθμητής των 3-bit με χρόνο καθυστέρησης 10 ns για κάθε Φλιπ Φλοπ.

**Στο σύγχρονο απαριθμητή όλα τα Φλιπ Φλοπ διεγείρονται ταυτόχρονα.  
 Άρα ο συνολικός χρόνος καθυστέρησης είναι 10 ns.**

18. Στο Σχήμα 15 δίνονται το κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό (D/A) και το ψηφιακό σήμα που εφαρμόζεται στην είσοδό του.  
 Η τιμή της αντίστασης  $R_1$  είναι 200 kΩ και της αντίστασης  $R_f$  είναι 40 kΩ.  
 Το λογικό 1 αντιστοιχεί στα +5 V και το λογικό 0 στα 0 V.



**Σχήμα 15**

(α) (i) Να υπολογίσετε τις τιμές των τριών αντιστάσεων  $R_0$ ,  $R_2$  και  $R_3$  στο κύκλωμα του Σχήματος 15.

$$R_0 = 400 \text{ k}\Omega$$

$$R_2 = 100 \text{ k}\Omega$$

$$R_3 = 50 \text{ k}\Omega$$

(ii) Να υπολογίσετε την μέγιστη τιμή τάσης του σήματος εξόδου ( $U_{out}$ ) του κυκλώματος στο Σχήμα 15, που αντιστοιχεί στον ψηφιακό κώδικα με τη μέγιστη αξία.

**Ψηφιακός κώδικας με τη μέγιστη αξία (που δίνει τη μέγιστη τάση εξόδου):**  
 $D_3D_2D_1D_0 = 1111$

$$U_{out} = -U_{in} \cdot \frac{R_f}{8R} \cdot (8D_3 + 4D_2 + 2D_1 + D_0)$$

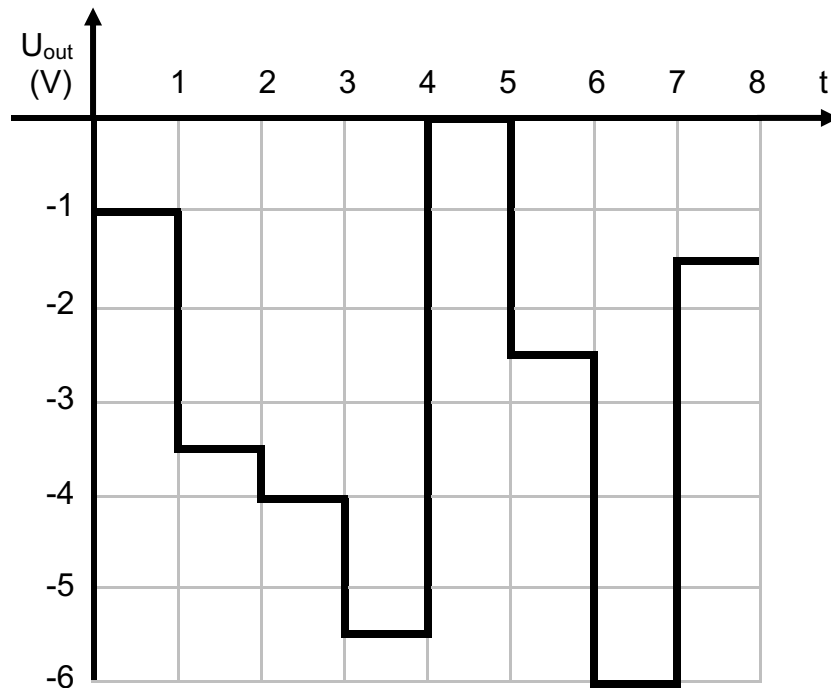
$$U_{out} = -5 \cdot \frac{40}{8 \cdot 50} \cdot (8 + 4 + 2 + 1) = -7,5 \text{ V}$$

(β) Να συμπληρώσετε τον πίνακα λειτουργίας (Πίνακας 4) του κυκλώματος του Σχήματος 15.

ΕΙΣΟΔΟΙ				ΕΞΟΔΟΣ	ΧΡΟΝΟΣ
$D_3$	$D_2$	$D_1$	$D_0$	$U_{out} \text{ (V)}$	t
0	0	1	0	-1	0 – 1
0	1	1	1	-3,5	1 – 2
1	0	0	0	-4	2 – 3
1	0	1	1	-5,5	3 – 4
0	0	0	0	0	4 – 5
0	1	0	1	-2,5	5 – 6
1	1	0	0	-6	6 – 7
0	0	1	1	-1,5	7 – 8

Πίνακας 4

(γ) Στο Σχήμα 16 να σχεδιάσετε το αναλογικό σήμα εξόδου ( $U_{out}$ ) του κυκλώματος.



**Σχήμα 16**

(δ) Ο μέγιστος χρόνος μετατροπής ενός μετατροπέα αναλογικού σήματος σε ψηφιακό (A/D) είναι 20  $\mu$ s. Να υπολογίσετε τη μέγιστη συχνότητα που μπορεί να περιέχει το αναλογικό σήμα για να είναι δυνατή η μετατροπή του σε ψηφιακό σήμα από τον μετατροπέα αυτό (σύμφωνα με το θεώρημα Shannon).

$$\text{Συχνότητα δειγματοληψίας} = \frac{1}{20 \cdot 10^{-6}} = 50000 \text{ Hz} = 50 \text{ kHz}$$

**Σύμφωνα με το θεώρημα της δειγματοληψίας (θεώρημα Shannon), η συχνότητα δειγματοληψίας του αναλογικού σήματος για μετατροπή του σε ψηφιακό πρέπει να είναι μεγαλύτερη ή τουλάχιστο ίση με το διπλάσιο της μέγιστης συχνότητας, που εμπεριέχεται στο αναλογικό σήμα, για να μπορεί να αναπαραχθεί το αναλογικό σήμα από το ψηφιακό.**

**$\Rightarrow$  Μέγιστη συχνότητα ( $f_{max}$ ) που μπορεί να περιέχει το αναλογικό σήμα:**

$$f_{max} = \frac{1}{2} \cdot f_{\text{δειγματοληψίας}} = \frac{1}{2} \cdot 50 \text{ kHz} = 25 \text{ kHz}$$

----- ΤΕΛΟΣ ΛΥΣΕΩΝ -----